

日本国特許庁
JAPAN PATENT OFFICE

13. 4. 2004

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application: 2003年 4月21日

REC'D 29 APR 2004

出願番号
Application Number: 特願2003-115283

WIPO PCT

[ST. 10/C]: [JP 2003-115283]

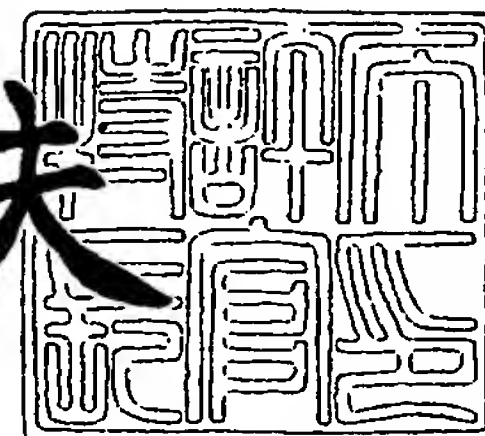
出願人
Applicant(s): 日本電気株式会社

PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

2004年 2月20日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



【書類名】 特許願

【整理番号】 34002295

【提出日】 平成15年 4月21日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/70

H01L 43/08

【発明者】

【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

【氏名】 崎村 昇

【発明者】

【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

【氏名】 本田 雄士

【発明者】

【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

【氏名】 杉林 直彦

【特許出願人】

【識別番号】 000004237

【氏名又は名称】 日本電気株式会社

【代理人】

【識別番号】 100102864

【弁理士】

【氏名又は名称】 工藤 実

【手数料の表示】

【予納台帳番号】 053213

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9715177

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 磁気ランダムアクセスメモリ

【特許請求の範囲】

【請求項 1】

第 1 方向に延伸する複数のビット線と、
前記第 1 方向に延伸する参照ビット線と、
前記複数のビット線の各々に沿って設けられた複数のメモリセルと、
前記参照ビット線に沿って設けられた複数の参照セルと、
読み出し部と

を具備し、

前記複数のメモリセルの各々は、

記憶されるデータに応じて磁化方向が反転して第 1 状態又は第 2 状態となる自発磁化を有し、読み出し動作時に前記ビット線に接続されている第 1 磁気抵抗素子を備え、

前記複数の参照セルの各々は、

記憶されるデータに応じて磁化方向が反転して前記第 1 状態又は前記第 2 状態となる自発磁化を有し、読み出し動作時に前記参照ビット線に接続されている参照用磁気抵抗素子を備え、

前記読み出し部は、

読み出し動作時に前記複数のビット線から選択された選択ビット線に接続されている一方の端子としての第 9 端子と、第 1 電源に接続された他方の端子としての第 10 端子とを含み、第 1 抵抗値を有する第 1 抵抗部と、

読み出し動作時に前記参照ビット線に接続されている一方の端子としての第 11 端子と、前記第 1 電源に接続された他方の端子としての第 12 端子とを含み、第 1 抵抗値と異なる第 2 抵抗値を有する第 2 抵抗部と、

前記第 9 端子の電位としてのセンス電位と、前記第 11 端子の電位としての参照電位とを比較する比較部と

を備える

磁気ランダムアクセスメモリ。

【請求項 2】

請求項 1 に記載の磁気ランダムアクセスメモリにおいて、
選択セルに記憶されている前記データの読み出しのとき、

前記読み出し部は、前記第 1 電源の電位を、前記選択セルの前記第 1 磁気抵抗素子と前記第 1 抵抗部とで分圧して前記センス電位とし、前記第 1 電源の電位を、選択参照セルの前記参照用磁気抵抗素子と前記第 2 抵抗部とで分圧して前記参照電位とし、前記センス電位と前記参照電位との比較結果を出力し、

ここで、前記選択セルは前記複数のメモリセルから選択され、前記選択参照セルは前記複数の参照セルから選択される

磁気ランダムアクセスメモリ。

【請求項 3】

請求項 1 に記載の磁気ランダムアクセスメモリにおいて、
前記第 1 抵抗部は、

磁化方向が反転して前記第 1 状態又は前記第 2 状態となる自発磁化を有し、直列に接続された第 2 磁気抵抗素子及び第 3 磁気抵抗素子を備え、

前記第 2 抵抗部は、

磁化方向が反転して前記第 1 状態又は前記第 2 状態となる自発磁化を有し、直列に接続された第 4 磁気抵抗素子及び第 5 磁気抵抗素子を備える

磁気ランダムアクセスメモリ。

【請求項 4】

請求項 3 に記載の磁気ランダムアクセスメモリにおいて、

前記参照用磁気抵抗素子、前記第 1 磁気抵抗素子、前記第 2 磁気抵抗素子、前記第 3 磁気抵抗素子、前記第 4 磁気抵抗素子及び前記第 5 磁気抵抗素子は、実質的に同じ構造であり、

前記第 2 磁気抵抗素子と前記第 3 磁気抵抗素子とは、自発磁化の磁化方向が同じであり、

前記第 4 磁気抵抗素子と前記第 5 磁気抵抗素子とは、自発磁化の磁化方向が異なる

磁気ランダムアクセスメモリ。

【請求項 5】

請求項 1 乃至 4 のいずれか一項に記載の磁気ランダムアクセスメモリにおいて

前記第 9 端子と前記複数のメモリセルとの間に接続され、前記複数のメモリセルに所定の基準電圧よりも大きい電圧がかからないようにする破壊電圧防止回路を更に具備する

磁気ランダムアクセスメモリ。

【請求項 6】

請求項 1、3、4 のいずれか一項に記載の磁気ランダムアクセスメモリにおいて、

前記読み出し部は、

前記第 9 端子と前記複数のメモリセルとの間、及び、前記第 11 端子と前記複数の参照セルとの間に第 2 電位を印加する第 1 定電圧部と、

前記第 1 定電圧部と前記第 9 端子との間に設けられ、前記選択ビット線と前記第 1 抵抗部とに同じ大きさの電流を供給する第 1 電流部と、

前記第 1 定電圧部と前記第 11 端子との間に設けられ、前記参照ビット線と前記第 2 抵抗部とに同じ大きさの電流を供給する第 2 電流部と

を更に備える

磁気ランダムアクセスメモリ。

【請求項 7】

請求項 6 に記載の磁気ランダムアクセスメモリにおいて、

選択セルに記憶されている前記データの読み出しのとき、

前記読み出し部は、前記第 1 定電圧部が、それぞれ選択ビット線及び前記参照ビット線に前記第 2 電位を印加し、前記第 1 電流部が、前記選択ビット線と前記選択セル及び前記第 1 抵抗部へ同じ大きさのセンス電流を流し、前記第 2 電流部が、前記参照ビット線と選択参照セル及び前記第 2 抵抗部へ同じ大きさの参照電流を流し、前記第 1 電流部と前記第 1 抵抗部との間の電位を前記センス電位とし、前記第 2 電流部と前記第 2 抵抗部との間の電位を前記参照電位とし、前記センス電位と前記参照電位との比較結果を出力し、

ここで、前記選択ビット線は前記複数のビット線から選択され、前記選択セルは前記複数のメモリセルから選択され、前記選択参照セルは前記複数の参照セルから選択される

磁気ランダムアクセスメモリ。

【請求項 8】

請求項 6 に記載の磁気ランダムアクセスメモリにおいて、

前記第 1 定電圧部は、クランプ回路を含む

磁気ランダムアクセスメモリ。

【請求項 9】

請求項 6 又は 8 に記載の磁気ランダムアクセスメモリにおいて、

前記第 1 電流部及び前記第 2 電流部のうちの少なくとも一方は、カレントミラー回路を含む

磁気ランダムアクセスメモリ。

【請求項 10】

請求項 6、8 及び 9 のいずれか一項に記載の磁気ランダムアクセスメモリにおいて、

前記読み出し部は、第 1 補助部及び第 2 補助部のうちの少なくとも一方を更に備え、

ここで、前記第 1 補助部は、前記第 9 端子に接続され、前記センス電圧を変更可能であり、

前記第 2 補助部は、前記第 11 端子に接続され、前記参照電圧を変更可能である

磁気ランダムアクセスメモリ。

【請求項 11】

請求項 10 に記載の磁気ランダムアクセスメモリにおいて、

前記第 1 補助部及び前記第 2 補助部のうちの少なくとも一方は、トリミング回路を含む

磁気ランダムアクセスメモリ。

【請求項 12】

請求項 1 乃至 11 のいずれか一項に記載の磁気ランダムアクセスメモリにおいて、

前記複数の参照セルは、前記参照磁気抵抗素子に直列に接続した第 1 スイッチを更に備え、前記参照ビット線に対して互いに並列に接続され、

前記複数の参照セルのうちの 하나가、読み出し動作に用いる選択参照セルとして、前記第 1 スイッチにより選択される

磁気ランダムアクセスメモリ。

【請求項 13】

請求項 1 乃至 12 のいずれか一項に記載の磁気ランダムアクセスメモリにおいて、

前記第 1 抵抗部は、複数あり、

複数の前記第 1 抵抗部の各々は、前記第 9 端子及び前記第 10 端子に接続され、前記第 9 端子側及び前記第 10 端子側のいずれか一方に第 2 スイッチを備え、

前記複数の前記第 1 抵抗部のうちの 하나가、読み出し動作に用いる第 1 抵抗部として、前記第 2 スイッチにより選択される

磁気ランダムアクセスメモリ。

【請求項 14】

請求項 1 乃至 13 のいずれか一項に記載の磁気ランダムアクセスメモリにおいて、

前記第 2 抵抗部は、複数あり、

複数の前記第 2 抵抗部の各々は、前記第 11 端子及び前記第 12 端子に接続され、前記第 11 端子側及び前記第 12 端子側のいずれか一方に第 3 スイッチを備え、

前記複数の前記第 2 抵抗部のうちの 하나가、読み出し動作に用いる第 2 抵抗部として、前記第 3 スイッチにより選択される

磁気ランダムアクセスメモリ。

【請求項 15】

請求項 1 に記載の磁気ランダムアクセスメモリにおいて、

下記 (1) 式において、前記参照電圧を V_{ref} 、前記第 1 状態での前記セン

ス電圧を $V_s(1)$ 、前記第2状態の前記センス電圧を $V_s(2)$ としたとき、

$$V_{ref} = V_s(1) + k \cdot (V_s(2) + V_s(1)) \quad (1)$$

変数 k は、 $k \leq 0.49$ となる

磁気ランダムアクセスメモリ。

【請求項16】

請求項1に記載の磁気ランダムアクセスメモリにおいて、

前記第1方向に実質的に垂直な第2方向に延伸する第1ワード線と第2ワード線との複数のワード線対と、

読み出し動作時に、前記複数のビット線から選択ビット線を選択し、前記参照ビット線を選択する第1セクタと、

書き込み動作時に、前記複数のビット線から選択ビット線を選択する第2セクタと、

書き込み動作時に、前記複数の第1ワード線から選択第1ワード線を選択する第3セクタと、

読み出し動作時に、前記複数の第2ワード線から選択第2ワード線を選択する第4セクタと、

を更に具備し、

前記複数のメモリセルの各々は、

前記第2ワード線に接続された第1ゲートと、前記第1ゲート以外の一方向の端子としての第1端子と、接地に接続された他方の端子としての第2端子とを含む第1トランジスタ

を更に備え、

前記複数のビット線と前記複数のワード線対とが交差する位置のそれぞれに対応して設けられ、

前記第1磁気抵抗素子が、前記第1端子に接続された一方の端子としての第3端子と、前記ビット線に接続された他方の端子としての第4端子とを含み、

前記複数の参照セルの各々は、

前記第2ワード線に接続された第2ゲートと、前記第2ゲート以外の一方向の端子としての第5端子と、接地に接続された他方の端子としての第6端子とを含

む第2トランジスタと、

を更に備え、

前記参照ビット線と前記複数のワード線対とが交差する位置のそれぞれに対応して設けられ、

前記参照磁気抵抗素子が、前記第5端子に接続された一方の端子としての第7端子と、前記参照ビット線に接続された他方の端子としての第8端子とを含む磁気ランダムアクセスメモリ。

【請求項17】

請求項16に記載の磁気ランダムアクセスメモリにおいて、

選択セルに記憶されている前記データの読み出しのとき、

前記第4セレクトは、選択セルの第1トランジスタを導通状態にする電圧を前記選択第2ワード線に供給し、前記選択第2ワード線以外の非選択第2ワード線には非選択セルの第1トランジスタを非導通状態にする電圧を供給し、

前記第1セレクトは、前記選択ビット線と前記参照ビット線とを前記読み出し部に接続し、

前記読み出し部は、前記第1電源の電位を、前記選択セルの前記第1磁気抵抗素子と前記第1抵抗部とで分圧して前記センス電位とし、前記第1電源の電位を、選択参照セルの前記参照用磁気抵抗素子と前記第2抵抗部とで分圧して前記参照電位とし、前記センス電位と前記参照電位との比較結果を出力し、

ここで、前記選択セルは、前記選択第2ワード線と前記選択ビット線とで前記複数のメモリセルから選択され、前記非選択セルは、前記選択セル以外の前記メモリセルであり、前記選択参照セルは、前記選択第2ワード線と前記参照ビット線とで前記複数の参照セルから選択される

磁気ランダムアクセスメモリ。

【請求項18】

請求項1に記載の磁気ランダムアクセスメモリにおいて、

前記第1方向に実質的に垂直な第2方向に延伸するワード線と、

前記複数のビット線から選択ビット線を選択し、読み出し動作時に前記参照ビット線を選択する第1セレクトと、

前記複数のワード線から選択ワード線を選択する第 2 セレクタと
を更に具備し、

前記複数のメモリセルの各々は、

前記複数のビット線と前記複数のワード線とが交差する位置のそれぞれに対応して設けられ、

前記第 1 磁気抵抗素子が、前記ワード線に接続された一方の端子としての第 1 端子と、前記ビット線に接続された他方の端子としての第 2 端子とを含み、
前記複数の参照セルの各々は、

前記参照ビット線と前記複数のワード線とが交差する位置のそれぞれに対応して設けられ、

前記参照用磁気抵抗素子が、前記ワード線に接続された一方の端子としての第 3 端子と、前記参照ビット線に接続された他方の端子としての第 4 端子とを含む

磁気ランダムアクセスメモリ。

【請求項 1 9】

請求項 1 8 に記載の磁気ランダムアクセスメモリにおいて、

選択セルに記憶されている前記データの読み出しのとき、

前記第 2 セレクタは、前記選択ワード線に読み出し電位を印加し、前記複数のワード線の内の前記選択ワード線以外の非選択ワード線を開放し、

前記第 1 セレクタは、前記選択ビット線と前記参照ビット線とを前記読み出し部に接続し、

前記読み出し部は、前記第 1 電源の電位を、選択セルの前記第 1 磁気抵抗素子と前記第 1 抵抗部とで分圧して前記センス電位とし、前記第 1 電源の電位を、選択参照セルの前記参照用磁気抵抗素子と前記第 2 抵抗部とで分圧して前記参照電位とし、前記センス電位と前記参照電位との比較結果を出力し、

ここで、前記選択セルは、前記選択第 2 ワード線と前記選択ビット線とで前記複数のメモリセルから選択され、前記選択参照セルは、前記選択第 2 ワード線と前記参照ビット線とで前記複数の参照セルから選択される。

磁気ランダムアクセスメモリ。

【請求項 20】

請求項 1 に記載の磁気ランダムアクセスメモリにおいて、
前記複数のビット線の各々と対をなし、前記第 1 方向に延伸する複数の第 2 ビット線と、

前記第 1 方向に実質的に垂直な第 2 方向に延伸する複数のワード線と、
前記複数のビット線から選択ビット線を選択する第 1 セレクタと、
前記複数の第 2 ビット線から選択第 2 ビット線を選択する第 2 セレクタと、
前記複数のワード線から選択ワード線を選択する第 3 セレクタと
を更に具備し、

前記複数のメモリセルの各々は、

前記ワード線に接続された第 1 ゲートと、前記ビット線に接続された前記第 1 ゲート以外の方の端子としての第 1 端子と、他方の端子としての第 2 端子とを含む第 1 トランジスタと、

前記ワード線に接続された第 2 ゲートと、前記第 2 ビット線に接続された前記第 2 ゲート以外の方の端子としての第 5 端子と、前記第 2 端子に接続された他方の端子としての第 6 端子とを含む第 2 トランジスタと、

を更に備え、

前記複数のビット線及び前記複数の第 2 ビット線と前記複数のワード線とが交差する位置のそれぞれに対応して設けられ、

前記第 1 磁気抵抗素子が、一方の端子としての第 3 端子を接地に、他方の端子としての第 4 端子を前記第 2 端子に接続され、

前記複数の参照セルの各々は、

前記ワード線に接続された第 3 ゲートと、前記ビット線に接続された前記第 3 ゲート以外の方の端子としての第 7 端子と、他方の端子としての第 8 端子とを含む第 3 トランジスタと、

前記ワード線に接続された第 4 ゲートと、前記第 2 ビット線に接続された前記第 4 ゲート以外の方の端子としての第 11 端子と、前記第 8 端子に接続された他方の端子としての第 12 端子とを含む第 4 トランジスタと、

を更に備え、

前記参照ビット線と前記複数のワード線とが交差する位置のそれぞれに対応して設けられ、

前記参照磁気抵抗素子が、一方の端子としての第 9 端子を接地に、他方の端子としての第 1 0 端子を前記第 8 端子に接続されている

磁気ランダムアクセスメモリ。

【請求項 2 1】

請求項 2 0 に記載の磁気ランダムアクセスメモリにおいて、

選択セルに記憶されている前記データの読み出しのとき、

前記第 1 セレクタは、前記選択ビット線を選択し、前記複数のビット線のうちの前記選択ビット線以外の非選択ビット線を開放し、

前記第 3 セレクタは、選択セルの第 1 トランジスタ及び第 2 トランジスタを導通状態にする電圧を前記選択ワード線に供給し、前記選択ワード線以外の非選択ワード線には非選択セルの第 1 トランジスタ及び第 2 トランジスタを非導通状態にする電圧を供給し、

前記読み出し部は、前記第 1 電源の電位を、前記選択セルの前記第 1 磁気抵抗素子と前記第 1 抵抗部とで分圧して前記センス電位とし、前記第 1 電源の電位を、選択参照セルの前記参照用磁気抵抗素子と前記第 2 抵抗部とで分圧して前記参照電位とし、前記センス電位と前記参照電位との比較結果を出力し、

ここで、前記選択セルは、前記選択第 2 ワード線と前記選択ビット線とで前記複数のメモリセルから選択され、前記非選択セルは、前記選択セル以外の前記メモリセルであり、前記選択参照セルは、前記選択第 2 ワード線と前記参照ビット線とで前記複数の参照セルから選択される

磁気ランダムアクセスメモリ。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、磁気ランダムアクセスメモリに関し、特に、データの読み出し方法を改善した磁気ランダムアクセスメモリに関する。

【0 0 0 2】

【従来の技術】

磁気ランダムアクセスメモリ (Magnetic Random Access Memory: MRAM) は、高速な書き込み動作と読み出し動作が可能であり、大きな書き換え回数を有する不揮発メモリとして注目されている。

【0003】

MRAMのメモリセルは、磁性層（ピン層）と磁性層（フリー層）と絶縁層とを含む磁気抵抗素子（以下、Tunneling Magnetic Resistance: TMRと称す）を記憶素子として備えている。ただし、ピン層は、固定された自発磁化を有している。フリー層は、反転可能な自発磁化を有している。そして、その自発磁化の向きが、ピン層の自発磁化の向きと平行、又は、反平行に向くように形成されている。絶縁層は、上記2つの磁性層に挟まれている。

【0004】

メモリセルは、ピン層の自発磁化の方向に対するフリー層の自発磁化の方向により、1ビットの情報を記憶する。例えば、フリー層の自発磁化とピン層の自発磁化の向きが同じである平行状態（第1状態）と、フリー層の自発磁化とピン層の自発磁化の向きが反対である反平行状態（第2状態）の2つの状態を取り得る。ここで、平行状態及び反平行状態のいずれか一方を“0”に、他方を“1”に対応付けることにより、1ビットの情報を記憶する。

【0005】

フリー層及びピン層の自発磁化の方向は、メモリセルの抵抗に影響を及ぼす。ここで、フリー層とピン層の自発磁化が平行状態である場合のTMRの抵抗を R_0 とする。その場合、反平行状態である場合、TMRの抵抗は、 $R_0 + \Delta R$ となる。ただし、 $\Delta R / R_0$ （％）の値は、一般にMR比と呼ばれている。MR比の値は、通常10～50％である。即ち、メモリセルに記憶されている情報は、フリー層及びピン層の自発磁化の方向に対応したTMRの抵抗値を検知することにより判別できる。TMRの抵抗値を検知するには、以下のような方法で行う。例えば、所定の電圧をTMRの両端に印加し、そのTMRに流れる電流（センス電流）を検出する。又は、所定の電流をTMRに流し、そのTMRの両端に現れる

電圧（センス電圧）を検出する。

【0006】

図19は、典型的なMRAMの構成を示す図である。

図19に示すように、メモリセル103は、TMR109とアクセス用のトランジスタ110が直列に接続されている。TMR109の一方の端子はビット線105aに、トランジスタ110のソース端子はグランド111に接続されている。このメモリセル103がマトリックス状に多数配置されている。同様に、参照用メモリセル104は、参照用TMR108とアクセス用のトランジスタ112が直列に接続されている。参照用TMR108の一方の端子は参照用ビット線105bに、トランジスタ112のソース端子はグランド113に接続されている。この参照用メモリセル104が参照用ビット線105bに沿って複数配置されている。そして、マトリックス状に配置されたメモリセル103と、参照用ビット線105bに沿って配置された参照用メモリセル104とで、メモリセルアレイ120を形成している。

【0007】

ここで、選択されたメモリセル103のトランジスタ110は、ON状態となる。そして、Yセクタ102により選択されたビット線105aは、読み出し回路101と接続される。一方、選択された参照用メモリセル104のトランジスタ112は、ON状態となる。そして、Yセクタ102により選択された参照用ビット線105bは、読み出し回路101と接続される。読み出し回路101は、選択されたビット線105aからの信号と、選択された参照用ビット線105bからの信号とを比較して、読み出しを行う。

【0008】

以下、メモリセルに記憶された情報を読み出す方法を、従来技術（米国特許第6,392,923号明細書：特許文献1）を用いて詳細に説明する。ここで、TMRが平行状態である場合を“0”（TMR抵抗値は R_0 ）、反平行状態である場合を“1”（TMR抵抗値は $R_1 = R_0 + \Delta R$ ）と定義する。

図20は、従来技術における参照用メモリセル及びその周辺の構成を示す図である。メモリセル103に記憶された情報を読み出すには、先に述べたセンス電

流或いはセンス電圧を読み出し回路により検出することで行われる。それに加えて、上記センス電流或いはセンス電圧が“0”状態の場合か、“1”状態の場合かを判別する参照電流或いは参照電圧が必要となる。図20に示す参照用メモリセル104aでは、上記参照信号を生成するために、“0”を記憶した状態のTMRと“1”を記憶した状態のTMRをそれぞれ2つずつ直並列に接続している。この時、参照セルの抵抗値 R_{ref} は、

$$R_{ref} = (R_0 + R_1) / 2 \quad (2)$$

となる。この参照用メモリセル104aは、その抵抗値が、理論的には R_0 と R_1 との中間になる。すなわち、メモリセル103に記憶されている情報を判別するのに適した参照信号を生成することが可能である。

【0009】

図21は、TMRの両端にかかる電圧（両端電圧）とMR比との関係を示すグラフである。縦軸はMR比（%）、横軸はTMR両端電圧（V）である。この図のようなTMR素子特有のバイアス依存性の影響により、TMRにおけるMR比は、TMR両端電圧の大きさに伴って変化する。

【0010】

図21を考慮すると、特許文献1の方法では、実際の参照信号は“1”のセンス信号に近い値になってしまう。図18に示すように、TMR素子のMR比は、その両端電圧が大きくなるほど低下する性質を有している。特許文献1（図20）の参照用メモリセル104aにおける各TMRの両端に印加される電圧は、メモリセル103のTMRの両端に印加される電圧の約 $1/2$ である。従って、メモリセル103のTMRのMR比と比較して、参照用メモリセル104aのTMRのMR比が大きくなる。それにより、参照信号は“0”と“1”のセンス信号の中間値よりも、“1”のセンス信号方向にずれてしまう。このずれは、TMR抵抗値にばらつきが存在する場合、読み出しの信頼性を大きく損ねる可能性がある。その場合、特許文献1による方法において、読み出しの信頼性を向上するには、メモリセル103と参照用メモリセル104aに用いられるTMRの両端に均等に電圧を分配するように制御する必要がある。

【0011】

特許文献1による方法では、参照用メモリセル104aに4つのTMR素子が必要である。メモリセルアレイ120内に参照用メモリセルカラムを配置してTMRの抵抗ばらつきを補償する場合には、参照用メモリセル104aの面積の占める割合が大きくなる。また、製造時の欠陥等で生じるショートしたTMRが参照用メモリセル104aに含まれると、リードワード線107上のメモリセル103を読み出すことが不可能になるワード線不良を引き起こす。参照用メモリセル104aに4つのTMRを有することは、このワード線不良の確立を増加させる原因となる。さらに、TMR素子の抵抗値及びMR比は、温度上昇に伴って低下してしまう。

【0012】

MRAMのメモリセルに記憶されている情報を高い信頼性で判別可能な技術が望まれている。チップ面積の増加を抑制しつつ、MRAMのメモリセルに記憶されている情報を高い信頼性で判別可能な読み出し回路の技術が望まれている。TMR素子の抵抗値及びMR比に依存することなく、MRAMのメモリセルに記憶されている情報を高い信頼性で判別可能な読み出し回路の技術が望まれている。MRAMのメモリセルにおける参照信号が、TMR素子の抵抗値及びMR比に依存することなく“0”と“1”のセンス信号の中間値となる技術が望まれている。

【0013】

関連する技術として、特開2002-222589号公報（特許文献2）に、半導体装置の技術が開示されている。

この技術の半導体装置は、複数の第1メモリセルと、複数の第1ダミーセルと、複数の第2ダミーセルとを具備する。複数の第1メモリセルは、複数のワード線と複数の第1データ線の交点に設けられ、第1情報又は第2情報の何れかを記憶する。複数の第1ダミーセルは、前記複数のワード線と第1ダミーデータ線の交点に設けられ、前記第1情報を記憶する。複数の第2ダミーセル前記複数のワード線と第2ダミーデータ線の交点に設けられ、前記第2情報を記憶する。

更に、第1マルチプレクサと、第2マルチプレクサと、読み出し回路と、第1共通データ線と、第2共通データ線とを更に具備してもよい。ここで、第1マル

チプレクサは、前記複数の第 1 データ線に接続される。第 2 マルチプレクサは、前記第 1 及び第 2 ダミーデータ線に接続される。読み出し回路は、前記第 1 及び第 2 マルチプレクサに接続される。第 1 共通データ線は、前記読み出し回路と前記第 1 マルチプレクサとを結合する。第 2 共通データ線は、前記読み出し回路と前記第 2 マルチプレクサとを結合する。前記読み出し回路は、第 1 カレントミラー回路と、第 2 カレントミラー回路と、第 1 センスデータ線と、第 2 センスデータ線と、センスアンプとを含む。ただし、第 1 カレントミラー回路は、前記第 1 共通データ線に接続される。第 2 カレントミラー回路は、前記第 2 共通データ線に接続される。第 1 センスデータ線は、前記第 1 カレントミラー回路に接続される。第 2 センスデータ線は、前記第 2 カレントミラー回路に接続される。センスアンプは、前記第 1 及び前記第 2 センスデータ線に接続される。

この技術は、磁気抵抗の変化を利用して情報を記憶するメモリセルの読み出し動作に用いる参照信号発生方法、およびダミーセルを提供することを目的とする。

【 0 0 1 4 】

また、特表 2 0 0 2 - 5 4 1 6 0 8 号公報（特許文献 3：国際出願番号 P C T / D E 0 0 / 0 0 7 7 8）に、磁気抵抗メモリにおけるセル抵抗の評価装置の技術が開示されている。

この技術の磁気抵抗メモリにおけるセル抵抗の評価装置は、それぞれのセル抵抗（ R ）の第 1 の端子がスイッチ（ $U S$ ）を介してワード線電圧（ $V W L$ ）に接続されている。また、それぞれのセル抵抗の第 2 の端子が別のスイッチ（ S ）を介して線路ノード（ L ）に接続されている。前記線路ノード（ L ）は参照抵抗（ $R R E F$ ）を介して参照電圧源（ $V R E F$ ）に接続されている。該参照電圧源は線路ノードから流れるそれぞれのセル電流（ I ）を平均電流（ $I -$ ）だけ減少させる。増幅器（ $O P 1$ 、 $R G$ ）が、それぞれのセル電流と平均電流の差異を、評価信号としての電圧（ $V O U T$ ）に変換する。

前記参照抵抗（ $R R E F$ ）は、異なる情報内容を有するセルのセル抵抗の相互接続から形成されていてもよい。前記参照抵抗は、異なる情報内容を有するセルの 2 つのセル抵抗の個々の直列接続か、またはそのような直列接続の並列接続を

有していてもよい。

この技術は、高いオフセット電圧が評価回路において除去される、磁気抵抗メモリにおけるセル抵抗の評価装置を提供することを目的としている。

【0015】

また、特表 2 0 0 2 - 5 3 3 8 6 3 号公報（特許文献 4：国際出願番号 P C T / U S 9 9 / 2 9 3 1 0）に、参照メモリ・アレイを有する磁気ランダム・アクセス・メモリの技術が開示されている。

この技術の磁気ランダム・アクセス・メモリは、第 1 導電線と、磁気メモリ・セル、第 2 導電線と、参照磁気メモリ・セル、抵抗性要素から構成される。磁気メモリ・セルは、前記第 1 導電線と直列に結合されている。格納された磁気ベクトルの方向により最小磁気抵抗と最大磁気抵抗の間で切り替わる磁気抵抗を有する。前記参照磁気メモリ・セルは、前記第 2 導電線と直列に結合されている。予め決められた磁気抵抗を有する。前記抵抗性要素は、前記参照磁気メモリ・セルと直列に結合されている。前記参照磁気メモリ・セルと前記抵抗性要素との両端の全抵抗が、前記最小磁気抵抗と前記最大磁気抵抗との間で設定されている。

前記全抵抗は、前記最小磁気抵抗と前記最大磁気抵抗との間の中間点抵抗であるように、前記抵抗性要素が設定されていても良い。

この技術は、高速で高密度、かつ低電力のメモリを有する、また、信頼性の高い読み出しプロセスを有する、更に、磁気メモリ・セル内の磁気抵抗の変動を減少する M R A M を提供することを目的とする。

【0016】

更に、特開 2 0 0 2 - 3 6 7 3 6 4 号公報（特許文献 5）に、磁気メモリ装置の技術が開示されている。

この技術の磁気メモリ装置は、メモリセルと、ワード線と、ビット線と、参照ビット線と、増幅器とを備える。メモリセルは、強磁性トンネル効果を示す 1 つの記憶素子と、前記記憶素子に接続される 1 つのトランジスタとからなる。ワード線は、前記トランジスタの制御端子に接続されている。ビット線は、前記トランジスタを介して前記記憶素子の一方端に接続されている。参照ビット線は、複数の前記ビット線に対して共通に設けられている。増幅器は、前記ビット線と前

記参照ビット線とに接続されている。そして、データの読み出し時に、前記ビット線と前記参照ビット線との間に生じた電位差を前記増幅器を用いて読み出す。

前記参照ビット線は、前記ワード線毎に設けられた参照メモリセルを含み、前記参照メモリセルは、1つの第1抵抗素子と前記第1抵抗素子に接続される1つのトランジスタとを含んでも良い。

前記参照メモリセルの第1抵抗素子は、前記記憶素子の磁化の向きが平行の時の抵抗値と反平行の時の抵抗値との中間の抵抗値を有していてもよい。

この技術は、増幅器（センスアンプ）の構成が複雑になるのを防止するとともに、高速な読み出しが可能な磁気メモリ装置を提供することを目的とする。

【0017】

【特許文献1】

米国特許第6,392,923号明細書

【特許文献2】

特開2002-222589号公報

【特許文献3】

特表2002-541608号公報

【特許文献4】

特表2002-533863号公報

【特許文献5】

特開2002-367364号公報

【0018】

【発明が解決しようとする課題】

従って、本発明の目的は、MRAMのメモリセルに記憶されているデータを高い信頼性で判別可能な磁気ランダムアクセスメモリを提供することにある。

【0019】

また、本発明の他の目的は、チップ面積の増加を抑制しつつ、MRAMのメモリセルに記憶されている情報を高い信頼性で判別する読み出しを行う磁気ランダムアクセスメモリを提供することにある。

【0020】

本発明の更に他の目的は、TMR素子の抵抗値及びMR比に依存することなく、MRAMのメモリセルに記憶されている情報を高い信頼性で判別する読み出しを行う磁気ランダムアクセスメモリを提供することにある。

【0021】

本発明の別の目的は、MRAMのメモリセルにおける参照信号が、TMR素子の抵抗値及びMR比に依存することなく“0”と“1”のセンス信号の中間値となる磁気ランダムアクセスメモリを提供することにある。

【0022】

本発明の更に別の目的は、参照セル及びその他の回路で用いられるTMR素子の両端に印加される電圧が、メモリセルに用いられるTMR素子の両端に印加される電圧と実質的に等しくし、TMR素子特有のバイアス依存性によって読み出しの信頼性が低下するのを防ぐことが可能な磁気ランダムアクセスメモリを提供することにある。

【0023】

【課題を解決するための手段】

以下に、[発明の実施の形態]で使用される番号・符号を用いて、課題を解決するための手段を説明する。これらの番号・符号は、[特許請求の範囲]の記載と[発明の実施の形態]との対応関係を明らかにするために括弧付きで付加されたものである。ただし、それらの番号・符号を、[特許請求の範囲]に記載されている発明の技術的範囲の解釈に用いてはならない。

【0024】

従って、上記課題を解決するために、本発明の磁気ランダムアクセスメモリは、複数のビット線(33、54、74)と参照ビット線(34、54r、74r)と複数のメモリセル(21、52、72)と複数の参照セル(22、52r、72r)と読み出し部(1、1a、1b)とを具備する。

ただし、複数のビット線(33、54、74)は、第1方向(Y)に延伸する。参照ビット線(34、54r、74r)は、第1方向(Y)に延伸する。複数のメモリセル(21、52、72)は、複数のビット線(33、54、74)の各々に沿って設けられている。複数の参照セル(22、52r、72r)は、参

照ビット線 (3 4、5 4 r、7 4 r) に沿って設けられている。複数のメモリセル (2 1、5 2、7 2) の各々は、第 1 磁気抵抗素子 (2 7、5 7、7 7) を備える。第 1 磁気抵抗素子 (2 7、5 7、7 7) は、記憶されるデータに応じて磁化方向が反転して第 1 状態又は第 2 状態となる自発磁化を有し、読み出し動作時にビット線 (3 3、5 4、7 4) に接続されている。複数の参照セル (2 2、5 2 r、7 2 r) の各々は、参照用磁気抵抗素子 (2 7 r、4 7、5 7 r、7 7 r) を備える。参照用磁気抵抗素子 (2 7 r、5 7 r、7 7 r) は、記憶されるデータに応じて磁化方向が反転して第 1 状態又は第 2 状態となる自発磁化を有し、読み出し動作時に参照ビット線 (3 4、5 4 r、7 4 r) に接続されている。読み出し部 (1、1 a、1 b) は、第 1 抵抗部 (1 1、1 1 a、1 1 - i) と、第 2 抵抗部 (1 2、1 2 a、1 2 - j) と、比較部 (1 3) とを備える。第 1 抵抗部 (1 1、1 1 a、1 1 - i) は、読み出し動作時に選択ビット線 (3 3 s、5 4 s、7 4 s) に接続されている一方の端子としての第 9 端子と、第 1 電源に接続された他方の端子としての第 10 端子とを含み、第 1 抵抗値を有する。第 2 抵抗部 (1 2、1 2 a、1 2 - j) は、読み出し動作時に参照ビット線 (3 4、5 4 r、7 4 r) に接続されている一方の端子としての第 11 端子と、第 1 電源に接続された他方の端子としての第 12 端子とを含み、第 1 抵抗値と異なる第 2 抵抗値を有する。比較部 (1 3) は、第 9 端子の電位としてのセンス電位 (V_s) と、第 11 端子の電位としての参照電位 (V_{ref}) とを比較する。

【0025】

上記の磁気ランダムアクセスメモリにおいて、選択セル (2 1 s、5 2 s、7 2 s) に記憶されているデータの読み出しのとき、読み出し部 (1、1 a、1 b) は、まず、第 1 電源の電位を、選択セル (2 1 s、5 2 s、7 2 s) の第 1 磁気抵抗素子 (2 7、5 7、7 7) と第 1 抵抗部 (1 1、1 1 a、1 1 - i) とで分圧してセンス電位 (V_s) とする。一方、第 1 電源の電位を、選択参照セル (2 2 s、5 2 r s、7 2 r s) の参照用磁気抵抗素子 (2 7 r、5 7 r、7 7 r) と第 2 抵抗部 (1 2、1 2 a、1 2 - j) とで分圧して参照電位 (V_{ref}) とする。そして、センス電位 (V_s) と参照電位 (V_{ref}) との比較結果を出力する。ここで、選択セル (2 1 s、5 2 s、7 2 s) は複数のメモリセル (

21、52、72) から選択され、選択参照セル (22s、52rs、72rs) は複数の参照セル (22、52r、72r) から選択される。

【0026】

上記の磁気ランダムアクセスメモリにおいて、

第1抵抗部 (11、11a、11-i) は、磁化方向が反転して第1状態又は第2状態となる自発磁化を有し、直列に接続された第2磁気抵抗素子 (41) 及び第3磁気抵抗素子 (42) を備える。第2抵抗部 (12、12a、12-j) は、磁化方向が反転して第1状態又は第2状態となる自発磁化を有し、直列に接続された第4磁気抵抗素子 (44) 及び第5磁気抵抗素子 (45) を備える。

【0027】

上記の磁気ランダムアクセスメモリにおいて、参照用磁気抵抗素子 (27r、47-k、57r、77r)、第1磁気抵抗素子 (27、57、77)、第2磁気抵抗素子 (41)、第3磁気抵抗素子 (42)、第4磁気抵抗素子 (44) 及び第5磁気抵抗素子 (45) は、実質的に同じ構造である。第2磁気抵抗素子 (41) と第3磁気抵抗素子 (42) とは、自発磁化の磁化方向が同じである。第4磁気抵抗素子 (44) と第5磁気抵抗素子 (45) とは、自発磁化の磁化方向が異なる。

【0028】

上記の磁気ランダムアクセスメモリにおいて、第9端子と複数のメモリセル (21、52、72) との間に接続され、複数のメモリセル (21、52、72) に所定の基準電圧よりも大きい電圧がかからないようにする破壊電圧防止回路 (18) を更に具備する。

磁気ランダムアクセスメモリ。

【0029】

上記の磁気ランダムアクセスメモリにおいて、読み出し部 (1、1a、1b) は、第1定電圧部 (5) と、第1電流部 (3) と、第2電流部 (4) とを更に備える。第1定電圧部 (5) は、第9端子と複数のメモリセル (21、52、72) との間、及び、第11端子と複数の参照セルとの間に第2電位を印加する。第1電流部 (3) は、第1定電圧部 (5) と第9端子との間に設けられ、選択ビッ

ト線 (33s、54s、74s) と第1抵抗部 (11、11a、11-i) とに同じ大きさの電流を供給する。第2電流部 (4) は、第1定電圧部 (5) と第1端子との間に設けられ、参照ビット線 (34、54r、74r) と第2抵抗部 (12、12a、12-j) とに同じ大きさの電流を供給する。

【0030】

上記の磁気ランダムアクセスメモリにおいて、選択セル (21s、52s、72s) に記憶されているデータの読み出しのとき、読み出し部 (1、1a、1b) は、まず、第1定電圧部 (5) が、それぞれ選択ビット線 (33s、54s、74s) 及び参照ビット線 (34、54r、74r) に第2電位を印加する。一方、第1電流部 (3) が、選択ビット線 (33s、54s、74s) と選択セル (21s、52s、72s) 及び第1抵抗部 (11、11a、11-i) へ同じ大きさのセンス電流 (I_s) を流す。同様に、第2電流部 (4) が、参照ビット線 (34、54r、74r) と選択参照セル (22s、52rs、72rs) 及び第2抵抗部 (12、12a、12-j) へ同じ大きさの参照電流 (I_{ref}) を流す。そして、第1電流部 (3) と第1抵抗部 (11、11a、11-i) との間の電位をセンス電位 (V_s) とする。また、第2電流部 (4) と第2抵抗部 (12、12a、12-j) との間の電位を参照電位 (V_{ref}) とする。そして、センス電位 (V_s) と参照電位 (V_{ref}) との比較結果を出力する。ここで、選択ビット線 (33s、54s、74s) は、複数のビット線 (33、54、74) から選択される。選択セル (21s、52s、72s) は、複数のメモリセル (21、52、72) から選択される。選択参照セル (22s、52rs、72rs) は、複数の参照セル (22、52r、72r) から選択される。

【0031】

上記の磁気ランダムアクセスメモリにおいて、第1定電圧部 (5) は、クランプ回路を含む。

【0032】

上記の磁気ランダムアクセスメモリにおいて、第1電流部 (3) 及び第2電流部 (4) のうちの少なくとも一方は、カレントミラー回路を含む。

【0033】

上記の磁気ランダムアクセスメモリにおいて、読み出し部 (1、1a、1b) は、第1補助部 (6)、及び、第2補助部 (7) のうちの少なくとも一方を更に備える。ここで、第1補助部 (6) は、第9端子に接続され、センス電圧 (V_s) を変更可能である。第2補助部 (7) は、第11端子に接続され、参照電圧 (V_{ref}) を変更可能である。

【0034】

上記の磁気ランダムアクセスメモリにおいて、第1補助部 (6) 及び第2補助部 (7) のうちの少なくとも一方は、トリミング回路を含む。

【0035】

上記の磁気ランダムアクセスメモリにおいて、複数の参照セル (22、52r、72r) は、参照磁気抵抗素子 (47) に直列に接続した第1スイッチ (8) を更に備える。参照ビット線 (34、54r、74r) に対して互いに並列に接続されている。そして、複数の参照セル (22、52r、72r) のうちの 하나가、読み出し動作に用いる選択参照セル (22s、52rs、72rs) として、第1スイッチ (8) により選択される。

【0036】

上記の磁気ランダムアクセスメモリにおいて、第1抵抗部 (11-i) は、複数ある。複数の第1抵抗部 (11-i) の各々は、第9端子及び第10端子に接続され、第9端子側及び第10端子側のいずれか一方に第2スイッチ (14-i) を備える。そして、複数の第1抵抗部 (11-i) のうちの 하나가、読み出し動作に用いる第1抵抗部 (11-i) として、第2スイッチ (14-i) により選択される。

【0037】

上記の磁気ランダムアクセスメモリにおいて、第2抵抗部 (12-j) は、複数ある。複数の第2抵抗部 (12-j) の各々は、第11端子及び第12端子に接続され、第11端子側及び第12端子側のいずれか一方に第3スイッチ (15-j) を備える。複数の第2抵抗部 (12-j) のうちの 하나가、読み出し動作に用いる第2抵抗部 (12-j) として、第3スイッチ (15-j) により選択される。

【0038】

上記の磁気ランダムアクセスメモリにおいて、下記(1)式において、参照電圧を V_{ref} 、第1状態でのセンス電圧を $V_s(1)$ 、第2状態のセンス電圧を $V_s(2)$ としたとき、

$$V_{ref} = V_s(1) + k \cdot (V_s(2) + V_s(1)) \quad (1)$$

変数 k は、 $k \leq 0.49$ となる。

【0039】

上記の磁気ランダムアクセスメモリは、複数のワード線対(50)と、第1セクタ(23)と、第2セクタ(24)と、第3セクタ(28)と、第4セクタ(29)とを更に具備する。複数のワード線対(50)は、第1方向(Y)に実質的に垂直な第2方向(X)に延伸する第1ワード線(31)と第2ワード線(32)との組である。第1セクタ(23)は、読み出し動作時に、複数のビット線(34)から選択ビット線(34s)を選択し、参照ビット線(34)を選択する。第2セクタ(24)は、書き込み動作時に、複数のビット線(33)から選択ビット線(33s)を選択する。第3セクタ(28)は、書き込み動作時に、複数の第1ワード線(31)から選択第1ワード線(31s)を選択する。第4セクタ(29)は、読み出し動作時に、複数の第2ワード線(32)から選択第2ワード線(32s)を選択する。複数のメモリセル(21)の各々は、第1トランジスタ(26)を更に備える。第1トランジスタ(26)は、第2ワード線(32)に接続された第1ゲートと、第1ゲート以外の一方の端子としての第1端子と、接地に接続された他方の端子としての第2端子とを含む。複数のメモリセル(21)の各々は、複数のビット線(33)と複数のワード線対(50)とが交差する位置のそれぞれに対応して設けられる。第1磁気抵抗素子(27)が、第1端子に接続された一方の端子としての第3端子と、ビット線(33)に接続された他方の端子としての第4端子とを含む。複数の参照セル(22)の各々は、第2トランジスタ(26r)を更に備える。第2トランジスタ(26r)は、第2ワード線(32)に接続された第2ゲートと、第2ゲート以外の一方の端子としての第5端子と、接地に接続された他方の端子としての第6端子とを含む。複数の参照セル(22)の各々は、参照ビット線(34)と複

数のワード線対(50)とが交差する位置のそれぞれに対応して設けられる。参照磁気抵抗素子(27r)は、第5端子に接続された一方の端子としての第7端子と、参照ビット線(34)に接続された他方の端子としての第8端子と含む。

【0040】

上記の磁気ランダムアクセスメモリにおいて、選択セル(21s)に記憶されているデータの読み出しのとき、まず、第4セレクタ(29)は、選択セル(21s)の第1トランジスタ(26)を導通状態にする電圧を選択第2ワード線(32s)に供給し、選択第2ワード線(32s)以外の非選択第2ワード線(32)には非選択セル(21)の第1トランジスタ(26)を非導通状態にする電圧を供給する。第1セレクタ(23)は、選択ビット線(33s)と参照ビット線(34)とを読み出し部(1、1a、1b)に接続する。一方、読み出し部(1、1a、1b)は、第1電源の電位を、選択セルの第1磁気抵抗素子(27)と第1抵抗部(11、11a、11-i)とで分圧してセンス電位(Vs)とする。第1電源の電位を、選択参照セル(22s)の参照用磁気抵抗素子(27r)と第2抵抗部(12、12a、12-j)とで分圧して参照電位(Vref)とする。そして、センス電位(Vsと参照電位(Vref)との比較結果を出力する。ここで、選択セル(21s)は、選択第2ワード線(32s)と選択ビット線(33s)とで複数のメモリセル(21)から選択される。非選択セル(21)は、選択セル(21s)以外のメモリセル(21)である。選択参照セル(22s)は、選択第2ワード線(32s)と参照ビット線(34)とで複数の参照セル(22)から選択される。

【0041】

上記の磁気ランダムアクセスメモリは、ワード線(73)と、第1セレクタ(78)と、第2セレクタ(79)とを更に具備する。ワード線(73)は、第1方向(Y方向)に実質的に垂直な第2方向(X方向)に延伸する。第1セレクタ(78)は、複数のビット線(74)から選択ビット線(74s)を選択し、読み出し動作時に、参照ビット線(74r)を選択する。第2セレクタ(79)は、複数のワード線(73)から選択ワード線(73s)を選択する。複数のメモリセル(72)の各々は、複数のビット線(74s)と複数のワード線(73s

）とが交差する位置のそれぞれに対応して設けられている。第1磁気抵抗素子（77）が、ワード線（73）に接続された一方の端子としての第1端子と、ビット線（74）に接続された他方の端子としての第2端子と含む。複数の参照セル（72r）の各々は、参照ビット線（74r）と複数のワード線（73）とが交差する位置のそれぞれに対応して設けられている。参照用磁気抵抗素子（77r）が、ワード線（73）に接続された一方の端子としての第3端子と、参照ビット線（74r）に接続された他方の端子としての第4端子と含む。

【0042】

上記の磁気ランダムアクセスメモリにおいて、選択セル（72s）に記憶されているデータの読み出しのとき、まず、第2セレクタ（79）は、選択ワード線（73s）に読み出し電位を印加し、複数のワード線（73）の内の選択ワード線（73s）以外の非選択ワード線（73）を開放する。第1セレクタ（78）は、選択ビット線（74s）と参照ビット線（74r）とを読み出し部（1、1a、1b）に接続する。一方、読み出し部（1、1a、1b）は、第1電源の電位を、選択セル（72s）の第1磁気抵抗素子（77）と第1抵抗部（11、11a、11-i）とで分圧してセンス電位（Vs）とする。第1電源の電位を、選択参照セル（72rs）の参照用磁気抵抗素子（77r）と第2抵抗部（12、12a、12-j）とで分圧して参照電位（Vref）とする。センス電位（Vs）と参照電位（Vref）との比較結果を出力する。ここで、選択セル（72s）は、選択ワード線（73s）と選択ビット線（74s）とで複数のメモリセル（72）から選択され、選択参照セル（72rs）は、選択ワード線（73s）と参照ビット線（74r）とで複数の参照セル（72r）から選択される。

【0043】

上記の磁気ランダムアクセスメモリにおいて、複数の第2ビット線（55）と、複数のワード線（53）と、第1セレクタ（62）と、第2セレクタ（61）と、第3セレクタ（58）とを更に具備する。複数の第2ビット線（55）は、複数のビット線（54）の各々と対をなし、第1方向（Y方向）に延伸する。複数のワード線（53）は、第1方向（Y方向）に実質的に垂直な第2方向（X方向）に延伸する。第1セレクタ（62）は、複数のビット線（54）から選択ビ

ット線 (54s) を選択する。第2セレクタ (61) は、複数の第2ビット線 (55) から選択第2ビット線 (55s) を選択する。第3セレクタ (58) は、複数のワード線 (53) から選択ワード線 (53s) を選択する。

複数のメモリセル (52) の各々は、第1トランジスタ (56) と、第2トランジスタ (66) とを更に備える。第1トランジスタ (56) は、ワード線 (53) に接続された第1ゲートと、ビット線 (54) に接続された第1ゲート以外の一方の端子としての第1端子と、他方の端子としての第2端子とを含む。第2トランジスタ (66) は、ワード線 (53) に接続された第2ゲートと、第2ビット線 (55) に接続された第2ゲート以外の一方の端子としての第5端子と、第2端子に接続された他方の端子としての第6端子とを含む。複数のメモリセル (52) の各々は、複数のビット線 (54) 及び複数の第2ビット線 (55) と複数のワード線 (53) とが交差する位置のそれぞれに対応して設けられている。第1磁気抵抗素子 (57) が、一方の端子としての第3端子を接地に、他方の端子としての第4端子を第2端子に接続されている。複数の参照セル (52r) の各々は、第3トランジスタ (56r) と、第4トランジスタ (66r) とを更に備える。第3トランジスタ (56r) は、ワード線 (53) に接続された第3ゲートと、ビット線 (54) に接続された第3ゲート以外の一方の端子としての第7端子と、他方の端子としての第8端子とを含む。第4トランジスタ (66) は、ワード線 (53) に接続された第4ゲートと、第2ビット線 (55) に接続された第4ゲート以外の一方の端子としての第11端子と、第8端子に接続された他方の端子としての第12端子とを含む。複数の参照セル (52r) の各々は、参照ビット線 (54r) と複数のワード線 (53) とが交差する位置のそれぞれに対応して設けられている。参照磁気抵抗素子 (57r) が、一方の端子としての第9端子を接地に、他方の端子としての第10端子を第8端子に接続されている。

【0044】

上記の磁気ランダムアクセスメモリにおいて、選択セル (52s) に記憶されているデータの読み出しのとき、まず、第1セレクタ (62) は、選択ビット線 (54s) を選択し、複数のビット線 (54) のうちの選択ビット線 (54s)

以外の非選択ビット線 (54) を開放する。第3セレクタ (58) は、選択セル (52s) の第1トランジスタ (56) 及び第2トランジスタ (66) を導通状態にする電圧を選択ワード線 (53s) に供給し、選択ワード線 (53s) 以外の非選択ワード線 (53) には非選択セル (52) の第1トランジスタ (56) 及び第2トランジスタ (66) を非導通状態にする電圧を供給する。一方、読み出し部 (1、1a、1b) は、第1電源の電位を、選択セル (52s) の第1磁気抵抗素子 (57) と第1抵抗部 (11、11a、11-i) とで分圧してセンス電位 (Vs) とする。第1電源の電位を、選択参照セル (52rs) の参照用磁気抵抗素子 (57r) と第2抵抗部 (12、12a、12-j) とで分圧して参照電位 (Vref) とする。そして、センス電位 (Vs) と参照電位 (Vref) との比較結果を出力する。ここで、選択セル (52s) は、選択ワード線 (53s) と選択ビット線 (54s) とで複数のメモリセル (52) から選択される。非選択セル (52) は、選択セル (52s) 以外のメモリセル (52) である。選択参照セル (52rs) は、選択ワード線 (53s) と参照ビット線 (54r) とで複数の参照セル (52r) から選択される。

【0045】

【発明の実施の形態】

以下、本発明の磁気ランダムアクセスメモリの実施の形態に関して、添付図面を参照して説明する。

【0046】

(第1の実施の形態)

まず、本発明の磁気ランダムアクセスメモリの第1の実施の形態の構成について説明する。

図1は、本発明の磁気ランダムアクセスメモリの第1の実施の形態の構成図である。磁気ランダムアクセスメモリは、読み出し回路1とメモリセルアレイ2と破壊電圧防止回路18とを具備する。

【0047】

メモリセルアレイ2は、磁化方向を自在に反転することが可能な自発磁化を有するメモリセル21により、データを不揮発な状態で格納する。メモリセルアレ

イ 2 は、複数のメモリセル 2 1、複数の参照セル（参照用メモリセル） 2 2、複数のビット線 3 3、参照ビット線 3 4、複数のワード線対 5 0、読み出し Y セクタ 2 3、書き込み Y セクタ 2 4、書き込み X セクタ 2 8、読み出し X セクタ 2 9 とを備える。

【 0 0 4 8 】

ビット線 3 3 は、第 1 方向としての Y 方向に延伸する。一方を読み出し Y セクタ 2 3 に、他方を書き込み Y セクタ 2 4 に接続されている。複数のビット線 3 3 は、互いに平行に X 方向に並んで配置される。参照ビット線 3 4 は、ビット線 3 3 と平行に、Y 方向に延伸する。一方を読み出し Y セクタ 2 3 に、他方を書き込み Y セクタ 2 4 に接続されている。複数のワード線対 5 0 の各々は、第 1 ワード線としての書き込みワード線 3 1 と、第 2 ワード線としての読み出しワード線 3 2 との組である。複数のワード線対 5 0 は、第 1 方向に実質的に垂直な方向である第 2 方向としての X 方向に延伸する。書き込みワード線 3 1 は、一方を書き込み X セクタ 2 8 に接続されている。読み出しワード線 3 2 は、一方を読み出し X セクタ 2 9 に接続されている。複数のビット線対 5 0 は、互いに平行に Y 方向に並んで配置される。書き込み Y セクタ 2 4 及び書き込み X セクタ 2 8 は、それぞれ図示しない書き込み用の電源に接続されている。

【 0 0 4 9 】

第 1 セクタとしての読み出し Y セクタ 2 3 は、読み出し動作時に、複数のビット線 3 3 から選択ビット線 3 3 s を選択する。それと共に、参照ビット線 3 4 を選択する。そして、選択ビット線 3 3 s および参照ビット線 3 4 の電圧又は電流を、それぞれ配線 3 5 及び配線 3 6 を介して、読み出し回路 1 へ出力する。第 2 セクタとしての書き込み Y セクタ 2 4 は、書き込み動作時に、複数のビット線 3 3 から選択ビット線 3 3 s を選択する。第 3 セクタとしての書き込み X セクタ 2 8 は、書き込み動作時に、複数の書き込みワード線 3 1 から選択書き込みワード線 3 1 s を選択する。第 4 セクタとしての読み出し X セクタ 2 9 は、読み出し動作時に、複数の読み出しワード線 3 2 から選択読み出しワード線 3 2 s を選択する。

【 0 0 5 0 】

メモリセル 21 は、複数のビット線 33 と複数のワード線対 50 とが交差する位置のそれぞれに対応して設けられる。すなわち、複数のビット線 33 に沿って設けられている。メモリセル 21 は、磁気抵抗素子 27 と、MOS トランジスタ 26 とを備える。

【0051】

第 1 磁気抵抗素子としての磁気抵抗素子 27 は、記憶されるデータに応じて磁化方向が反転して第 1 状態又は第 2 状態となる自発磁化を有する。ここでは、第 1 状態とは、例えば、TMR が反平行状態である場合であり、データ “1” に対応し、第 2 状態とは、TMR が平行状態である場合であり、データ “0” に対応する。平行そして、読み出し動作時に、対応するビット線 33 に接続されている。磁気抵抗素子 27 は、一方の端子としての第 3 端子と、ビット線 33 に接続された他方の端子としての第 4 端子とを含む。第 1 トランジスタとしての MOS トランジスタ 26 は、読み出し動作時に、磁気抵抗素子 27 の一方の端子（第 3 端子）を接地に接続するために用いる。MOS トランジスタ 26 は、読み出しワード線 32 に接続された第 1 ゲートと、第 1 ゲート以外の方の端子としての第 1 端子と、接地に接続された他方の端子としての第 2 端子とを含む。第 1 端子は、第 3 端子に接続される。

【0052】

参照セル 22 は、参照ビット線 34 と複数のワード線対 50 とが交差する位置のそれぞれに対応して設けられる。すなわち、参照ビット線 34 に沿って設けられている。このような参照セル 22 の列を参照セルカラムともいう。参照セル 22 は、参照磁気抵抗素子 27 r と、参照 MOS トランジスタ 26 r とを備える。

【0053】

参照用磁気抵抗素子 27 は、記憶されるデータに応じて磁化方向が反転して第 1 状態又は第 2 状態となる自発磁化を有する。ここでは、データ読み出し時の参照のために、定常的に、例えば、第 2 状態の TMR が平行状態であるデータ “0” を格納している。そして、読み出し動作時に、対応する参照ビット線 34 に接続されている。参照磁気抵抗素子 27 は、一方の端子としての第 7 端子と、参照ビット線 34 に接続された他方の端子としての第 8 端子とを含む。第 2 トランジ

スタとしての参照MOSトランジスタ26rは、読み出し動作時に、参照磁気抵抗素子27rの一方の端子（第7端子）を接地に接続するために用いる。参照MOSトランジスタ26rは、読み出しワード線32に接続された第2ゲートと、第2ゲート以外の一方の端子としての第5端子と、接地に接続された他方の端子としての第6端子とを含む。第5端子は、第7端子に接続される。

【0054】

破壊電圧防止回路18は、メモリセルアレイ2の読み出しYセクタ23から延びる、選択ビット線33sと接続される配線35の途中の接続点A1に接続されている。同様に、読み出しYセクタ23から延びる、参照ビット線34sと接続される配線36の途中の点B1に接続されている。すなわち、読み出し回路1と複数のメモリセル21又は複数の参照セル22との間に接続されている。そして、複数のメモリセル21又は複数の参照セル22に所定の基準電圧よりも大きい電圧がかからないようにする。これにより、読み出し回路1側から基準電圧よりも大きい電圧がメモリセルアレイ側に印加される事態を防止することができる。

【0055】

読み出し部としての読み出し回路1は、メモリセルアレイ2の選択セル21s及び選択参照セル22sからの電圧又は電流の出力に基づいて、選択セル21sのデータを出力する。ただし、選択セル21sは、選択読み出しワード線32sと選択ビット線33sとで特定されるメモリセル21である。選択参照セル22sは、選択読み出しワード線32sと参照ビット線34とで特定される参照セル22である。読み出し回路1は、負荷抵抗に用いるTMR列A11及びTMR列B12と、比較器13とを備える。

【0056】

第1抵抗部としてのTMR列A11は、選択ビット線33sの負荷抵抗として用いる。磁化方向が反転して第1状態又は第2状態となる自発磁化を有し、互いに直列に接続された（第2）磁気抵抗素子41及び（第3）磁気抵抗素子42を有する。そして、一方の端子としての第9端子（磁気抵抗素子42の一端）と、他方の端子としての第10端子（磁気抵抗素子41の一端）とを含む。第9端子

は、配線 35 を介してメモリセルアレイ 2 に接続され、読み出し動作時に選択ビット線 33s に接続されている。第 10 端子は、第 1 電源 (V_p) に接続される。ここでは、磁気抵抗素子 41 及び磁気抵抗素子 42 は、いずれも定常的に TMR が反平行状態であるデータ “1” を格納している。磁気抵抗素子 41 と磁気抵抗素子 42 との直列抵抗値を第 1 抵抗値ともいう。

【0057】

第 2 抵抗部としての TMR 列 B12 は、参照ビット線 34 の負荷抵抗として用いる。磁化方向が反転して第 1 状態又は第 2 状態となる自発磁化を有し、互いに直列に接続された (第 4) 磁気抵抗素子 44 及び (第 5) 磁気抵抗素子 45 を有する。そして、一方の端子としての第 11 端子 (磁気抵抗素子 45 の一端) と、他方の端子としての第 12 端子 (磁気抵抗素子 44 の一端) とを含む。第 11 端子は、配線 36 を介してメモリセルアレイ 2 に接続され、読み出し動作時に参照ビット線 34 に接続されている。第 12 端子は、第 1 電源 (V_p) に接続される。ここでは、磁気抵抗素子 44 及び磁気抵抗素子 45 のうち、いずれか一方は定常的に TMR が反平行状態であるデータ “1” を格納し、他方は定常的に TMR が平行状態であるデータ “0” を格納している。磁気抵抗素子 44 と磁気抵抗素子 45 との直列抵抗値を第 2 抵抗値ともいう。

【0058】

比較部としての比較器 13 は、選択ビット線 33s の電位と実質的に等しい配線 35 上の接続点 A の電位 (= 第 9 端子の電位) を、センス電位と V_s して検出する。同時に、参照ビット線 34 の電位と実質的に等しい配線 36 上の接続点 B の電位 (= 第 11 端子の電位) を、参照電位 V_{ref} として検出する。そして、その大小を比較した結果を、読み出し結果として出力する。

【0059】

ここで、参照用磁気抵抗素子 27r、磁気抵抗素子 27、磁気抵抗素子 41、磁気抵抗素子 42、磁気抵抗素子 44 及び磁気抵抗素子 45 は、実質的に同じ構造の磁気抵抗素子である。磁気抵抗素子は、TMR 素子に例示される。実質的とは、製造上の誤差のような制御できない要因を除く意味である。本明細書中で同じとする。

【0060】

次に、本発明の磁気ランダムアクセスメモリの第1の実施の形態の動作について説明する。ここでは、磁気ランダムアクセスメモリの読み出し動作について説明する。

【0061】

まず、読み出しXセクタ2.9は、選択読み出しワード線32sに読み出し電位を印加し、複数の読み出しワード線32の内の選択読み出しワード線以外の非選択読み出しワード線32を開放する。これにより、MOSトランジスタ26及び参照MOSトランジスタ26rがONになる。

読み出しYセクタ23は、選択ビット線33s及び参照ビット線34を、それぞれ配線35及び配線36を介して、それぞれ読み出し回路1のTMR列A11の第9端子及びTMR列B12の第11端子に接続する。

【0062】

このとき、第1電源(Vp)－TMR列A11の磁気抵抗素子41－磁気抵抗素子42－配線35－選択ビット線33s－選択セル21sの磁気抵抗素子27－接地、の第1接続が形成される。同様に、第1電源(Vp)－TMR列B12の磁気抵抗素子44－磁気抵抗素子45－配線36－参照ビット線34－選択参照セル22sの参照磁気抵抗素子27r－接地、の第2接続が形成される。

【0063】

第1電源(Vp)の電位は、上記第1接続における磁気抵抗素子27と、磁気抵抗素子41と、磁気抵抗素子42とで分圧される。読み出し回路1の比較器13は、分圧された電位のうち、接続点Aの電位(磁気抵抗素子27と磁気抵抗素子41との間の電位)をセンス電位Vsとする。同様に、第1電源(Vp)の電位は、上記第2接続における参照磁気抵抗素子27rと、磁気抵抗素子44と、磁気抵抗素子45とで分圧される。読み出し回路1の比較器13は、分圧された電位のうち、接続点Bの電位(参照磁気抵抗素子27rと磁気抵抗素子45との間の電位)を参照電位Vrefとする。そして、比較器13は、センス電位Vsと参照電位Vrefとの差に基づいて、読み出し結果を出力する。

【0064】

以上の読み出し動作により、磁気ランダムアクセスメモリの選択セル21sのデータを読み出すことができる。

【0065】

ここで、参照電圧 V_{ref} の最適な値について考える。参照電圧 V_{ref} は、概ね $V_s(1)$ と $V_s(0)$ との中間の値をとることが望ましい。それに基づいて、各磁気抵抗素子の抵抗値が読み出し回路1にて線形に電圧に変換されていると仮定し、参照電圧 V_{ref} が以下の式で表されると仮定する。

$$V_{ref} = V_s(0) + k \cdot \{V_s(1) - V_s(0)\} \quad (3)$$

【0066】

一方、磁気抵抗素子の抵抗値は、製造上のばらつきがある。そのため、メモリセル内の全ての磁気抵抗素子が常に全く同じ値になるわけではない。

図2(a)は、磁気抵抗素子の抵抗値のばらつきを示すグラフである。縦軸はセルの数、横軸は磁気抵抗素子の抵抗値である。 R_0 は、データ“0”の抵抗値の平均値を示す。 R_1 は、データ“1”の抵抗値の平均値を示す。一般に、磁気抵抗素子の抵抗値の分布は、正規分布で与えられる。このとき、データ“1”を格納した磁気抵抗素子の抵抗値のばらつき σ_{R1} は、データ“0”を格納した磁気抵抗素子の抵抗値のばらつき σ_{R0} を $(1+MR)$ 比倍したものに等しい。そのため、必ず $\sigma_{R0} < \sigma_{R1}$ が成立する。

【0067】

図2(b)は、参照電圧と読み出し不良セルの確率の関係の計算結果を示すグラフである。ただし、ここでは、 MR 比=20%とし、データ“0”を格納した磁気抵抗素子の抵抗値のばらつきの σ_{R0} を、1.5%と仮定している。 $\sigma_{R0} < \sigma_{R1}$ が成立するので、読み出し不良セルの確率が最も小さくなる参照電圧 V_{ref} 、即ち、最も読み出しの信頼性を高くする参照電圧 $V_{ref}(ideal)$ は、式(3)における $k=0.5$ である V_{mid} よりも若干小さい値となる。

【0068】

TMR抵抗値ばらつきに伴うデータ“0”のセンス電圧 $V_s(0)$ のばらつきを σ_{V0} 、データ“1”のセンス電圧 $V_s(1)$ のばらつきを σ_{V1} とすると、 $V_{ref}(ideal)$ は、

$$V_{ref}(ideal) \doteq \{ \sigma V_0 \cdot \sigma V_1 \cdot \{ V_s(1) - V_s(0) \} + \sigma V_1^2 \cdot V_s(0) - \sigma V_0^2 \cdot V_s(1) \} / (\sigma V_1^2 - \sigma V_0^2) \quad (4)$$

となる。ただし、ここでは、 $\sigma V_0 = \sigma R_0$ 、 $\sigma V_1 = \sigma V_0 \cdot (1 + \text{MR比})$ 、である。

【0069】

式(3)と式(4)より、 $V_{ref}(ideal)$ となる k の値を計算した。

図3は、その結果を示すグラフである。縦軸は最も読み出し精度を高くする k 、横軸はMR比である。ここでは、 $\sigma R_0 = 1, 2, 3\%$ の各値について計算している。磁気抵抗素子の抵抗値のばらつき σR_0 は、1～3%程度であると一般に知られているからである。

【0070】

例えば、メガクラスビットのMRAMを実現するには 10^{-6} 以下の読み出し精度が必要である。磁気抵抗素子の抵抗値ばらつきが1%と仮定した場合、MR比は最低でも10%以上必要である。従って、図3より、(3)式に示す k の値を0.49以下であるような参照電圧を生成することが望ましい。

【0071】

本実施例では、メモリセル21、参照セル22、負荷抵抗(TMR列A11及びTMR列B12)に用いられている磁気抵抗素子は全て実質的に同一である。ここで、データ“1”を格納した磁気抵抗素子にかかる電圧を $V(1)$ 、データ“0”を格納した磁気抵抗素子にかかる電圧を $V(0)$ 、MR比をMRとした場合、選択ビット線の電圧、即ち、センス電圧 V_s と、参照電圧 V_{ref} は、以下の式で表される。

$$V_s(0) = V_p / (3 + 2 \cdot \text{MR})、V_s(1) = V_p / 3 \quad (5)$$

$$V_{ref} = V_p / (3 + \text{MR}) \quad (6)$$

【0072】

このとき、本実施例を $V_p = 1.0\text{V}$ として、シミュレーションを行った。その結果を図4及び図5に示す。

図4は、センス電圧及び参照電圧のMR比依存性を示すグラフである。縦軸は

センス電圧 V_s 及び参照電圧 V_{ref} 、横軸はMR比である。式(5)及び(6)より、MR比の変化によらず、 V_{ref} は、常に概ね $V_s(1)$ と $V_s(0)$ との中間の値をとることがわかる。即ち、MR比によらず、最適な参照電圧を維持することが可能となる。

【0073】

図5は、センス電圧及び参照電圧の磁気抵抗素子の抵抗値依存性を示すグラフである。磁気抵抗素子の抵抗値は、温度により上昇する。磁気抵抗素子の温度依存性に関わらず、 V_{ref} は、常に概ね $V_s(1)$ と $V_s(0)$ との中間の値をとることがわかる。即ち、磁気抵抗素子の温度変化によらず、最適な参照電圧を維持することが可能となる。

【0074】

図7は、最も読み出し精度を高くする k とMR比との関係を示すグラフである。縦軸は最も読み出し精度を高くする k 、横軸はMR比である。最適値の曲線($\sigma_{R0}=1, 2, 3\%$ に関する)は、図3と同じである。曲線P1は、本実施の形態でのシミュレーション結果、及び式(3)、(5)、(6)より計算された結果である。この結果、10%以上のMR比において、 k の値は先に述べた0.49以下の範囲内となる。即ち、読み出し不良を最小限にできる最適な参照電圧 V_{ref} を維持することが可能である。

【0075】

本発明により、センス電圧 $V_s(1)$ 及び $V_s(0)$ と参照電圧 V_{ref} との関係を、磁気抵抗素子の抵抗値の変化(印加電圧による変化、温度による変化)に依存しないものにすることが出来る。従って、各磁気抵抗素子には、約 $V_p/3$ の電圧が均等に印加される。そのため、図20で説明されたようなTMR素子特有のバイアス依存性の影響をほとんど受けない。すなわち、より高い信頼性を有する読み出し動作が可能となる。

【0076】

本発明により、参照セル22に必要な磁気抵抗素子が1つで良いことから、メモリアレイ2内の参照セル占有面積を最小限にでき、参照セル22の磁気抵抗素子27rのショートに伴うワード線不良も抑制することが出来る。

【0077】

(第2の実施の形態)

次に、本発明の磁気ランダムアクセスメモリの第2の実施の形態について説明する。

まず、本発明の磁気ランダムアクセスメモリの第2の実施の形態の構成について説明する。

図6は、本発明の磁気ランダムアクセスメモリの第2の実施の形態の構成図である。本実施の形態では、第1の実施の形態(図1)と比較して、TMR列A11がTMR列C11aに変わっている点と、参照セル22に定常的にデータ“1”が格納されている点で図1と異なる。TMR列C11aは、磁気抵抗素子41及び磁気抵抗素子42に、いずれも定常的にTMRが平行状態であるデータ“0”を格納している。TMR列B12aはTMR列B12と同じであり、図6のその他の構成も、第1の実施の形態(図1)と同様であり、その説明を省略する。

【0078】

本発明の磁気ランダムアクセスメモリの第2の実施の形態の動作については、第1の実施の形態同様であるのでその説明を省略する。

【0079】

この場合も、全ての磁気抵抗素子に約 $V_p/3$ の電圧が均等に印加される。そのため、バイアス依存性の影響をほとんど受けない。ここで、選択ビット線電圧、即ち、センス電圧 V_s と、参照電圧 V_{ref} は以下の式で表される。

$$V_s(0) = V_p/3, V_s(1) = (1+MR) \cdot V_p / (3+MR) \quad (5a)$$

$$V_{ref} = (1+MR) \cdot V_p / (3+2MR) \quad (6a)$$

図1の場合と同様にして、式(3)、(5a)、(6a)より、10%以上のMR比においてkの値は0.49以下となる。そして、MR比の変化によらず、 V_{ref} は、常に概ね $V_s(1)$ と $V_s(0)$ との中間の値をとる。即ち、MR比によらず、最適な参照電圧を維持することが可能となる。更に、磁気抵抗素子の温度依存性に関わらず、 V_{ref} は、常に概ね $V_s(1)$ と $V_s(0)$ との中

間の値をとる。即ち、磁気抵抗素子の温度変化によらず、最適な参照電圧を維持することが可能となる。

【0080】

また、図7の曲線P2（シミュレーション結果、及び式（3）、（5a）、（6a）により計算）に示すように、第2実施例におけるkの値は、最も読み出しの信頼性を高める理想的なkの値に非常に近くなる。即ち、読み出し不良を最小限にできる最適な参照電圧Vrefを維持することが可能である。

【0081】

（第3の実施の形態）

次に、本発明の磁気ランダムアクセスメモリの第3の実施の形態について説明する。

まず、本発明の磁気ランダムアクセスメモリの第3の実施の形態の構成について説明する。

図8は、本発明の磁気ランダムアクセスメモリの第3の実施の形態の更に他の構成を示す図である。図1と比較して、読み出し回路1bにおいて以下の点で異なる。すなわち、TMR列A11-i（ $i=1\sim n$ ：自然数）とスイッチ14-i（ $i=1\sim n$ ：自然数）とが直列に接続された組が複数存在する。複数の組の各々は、互いに並列に接続される。そして、その一端を配線35に、他端を第1電源（Vp）に接続している。同様に、TMR列B12-j（ $j=1\sim m$ ：自然数）とスイッチ15-j（ $j=1\sim m$ ：自然数）とが直列に接続された組が複数存在する。複数の組の各々は、互いに並列に接続される。そして、その一端を配線36に、他端を第1電源（Vp）に接続している。

【0082】

この場合の読み出し回路1bは、各TMR列内の磁気抵抗素子が破損している場合や適切な値を示さない場合、読み出し歩留まりをより向上させたい場合に備えて、予備のTMR列を提供できるようになっている。すなわち、読み出し動作時、又は、事前にスイッチ14-iとスイッチ15-jとにより、使用するTMR列A11-i及びTMR列B12-jを決めて、それを用いることにする。

【0083】

その他の構成については、第1の実施の形態（図1）と同様であり、その説明を省略する。

【0084】

本発明の磁気ランダムアクセスメモリの第3の実施の形態の動作については、第1の実施の形態同様であるのでその説明を省略する。

【0085】

本発明により、図1の場合の効果のほか、TMR列内の磁気抵抗素子が破損している場合や適切な値を示さない場合、読み出し歩留まりをより向上させたい場合でも、他のTMR列を用いることで、読み出し動作時の信頼性を向上させることが可能となる。

【0086】

複数のTMR列を用いる本実施の形態は、本明細書中に述べられる他の実施の形態においても、適用することが出来る。そして、同様の効果を得ることが出来る。

【0087】

（第4の実施の形態）

次に、本発明の磁気ランダムアクセスメモリの第4の実施の形態について説明する。

まず、本発明の磁気ランダムアクセスメモリの第4の実施の形態の構成について説明する。

図9は、本発明の磁気ランダムアクセスメモリの第4の実施の形態の更に他の構成を示す図である。図1と比較して、メモリセルアレイ2aにおいて、以下の点で異なる。すなわち、参照ビット線34及びそれに沿って存在する参照セル22がない。従って、読み出しYセクタ23は参照ビット線34を選択しない。それらに代わって、配線36a、複数の参照用磁気抵抗素子47、参照セルセクタ8、トランジスタM10が設けられている。

【0088】

トランジスタM10は、読み出し回路1のTMR列B12の第11端子に接続される配線36a（参照ビット線ともいう）に接続されている。そのゲートに入

力される制御信号により、読み出し動作時に、読み出し回路 1 と参照用磁気抵抗素子 47 とを接続する。制御信号を入力されるゲートと、読み出し回路 1 へ接続されたゲート以外の一方の端子としての第 1 接続端子と、複数の参照用磁気抵抗素子 $47-k$ へ接続された他方の端子としての第 2 接続端子とを備える。

【0089】

参照用磁気抵抗素子 $47-k$ ($k=1\sim p$: 自然数) は、その一方の端子を第 2 接続端子へ接続している。他方の端子を参照セルセクタ 8 に接続している。複数の参照用磁気抵抗素子 47 は、第 2 接続端子に対して互いに並列に接続されている。参照用磁気抵抗素子 47 は、記憶されるデータに応じて磁化方向が反転して第 1 状態又は第 2 状態となる自発磁化を有する。ここでは、データ読み出し時の参照のために、定常的に、例えば、第 2 状態の TMR が平行状態であるデータ “0” を格納している。そして、読み出し動作時に、配線 36a を介して読み出し回路 1 に接続されている。

【0090】

参照セルセクタ 8 は、複数の参照用磁気抵抗素子 $47-k$ の一つを選択する。

【0091】

この場合の参照用磁気抵抗素子 $47-k$ は、参照用磁気抵抗素子が破損している場合や適切な値を示さない場合、読み出し歩留まりをより向上させたい場合に備えて、予備の参照用磁気抵抗素子を提供できるようになっている。すなわち、読み出し動作時、又は、事前に参照セルセクタ 8 により、使用する参照用磁気抵抗素子 $47-k$ を決めて、それを用いることにする。

【0092】

その他の構成については、第 1 の実施の形態 (図 1) と同様であり、その説明を省略する。

【0093】

本発明の磁気ランダムアクセスメモリの第 4 の実施の形態の動作については、参照セル 22 の代わりに参照磁気抵抗素子 47 を用いること、参照磁気抵抗素子 47 の選択は、トランジスタ M10 及び参照セルセクタ 8 とで行うこと以外は

、第1の実施の形態同様であるのでその説明を省略する。

【0094】

本発明により、図1の場合の効果のほか、参照用の磁気抵抗素子が破損している場合や適切な値を示さない場合、読み出し歩留まりをより向上させたい場合でも、他のT参照用の磁気抵抗素子を用いることで、読み出し動作時の信頼性を向上させることが可能となる。

【0095】

複数の参照用磁気抵抗素子を用いる本実施の形態は、本明細書中に述べられる他の実施の形態においても、適用することが出来る。そして、同様の効果を得ることが出来る。

【0096】

(第5の実施の形態)

まず、本発明の磁気ランダムアクセスメモリの第5の実施の形態の構成について説明する。

図10は、本発明の磁気ランダムアクセスメモリの第5の実施の形態の構成図である。磁気ランダムアクセスメモリは、読み出し回路1、メモリセルアレイ2、第1電流回路3、第2電流回路4及び定電圧回路5を具備する。

【0097】

メモリセルアレイ2は、第1の実施の形態と同様である。ただし、読み出しYセクタ23からの配線35の途中に、定電圧回路5及び第1電流回路3が接続され、読み出しYセクタ23からの配線36の途中に、定電圧回路5及び第2電流回路4が接続されているほかは、第1の実施の形態と同じである。

ただし、配線35は、一端を読み出しYセクタ23を介して選択ビット線33sに接続されている。配線36は、一端を読み出しYセクタ23を介して参照ビット線34に接続されている。

【0098】

読み出し部の一部としての読み出し回路1は、TMR列A11の第9端子が配線35ではなく、配線37に接続していること、及び、TMR列B12の第11端子が配線36ではなく、配線37に接続していることのほかは、第1の実施の

形態と同じである。

ただし、配線 37 は、選択ビット線 33s に流れる電流に等しい電流を流す第 1 電流回路 3 が接続されている。同様に、配線 38 は、参照ビット線 34 に流れる電流に等しい電流を流す第 2 電流回路 4 が接続されている。

【0099】

読み出し部の一部である第 1 定電圧部としての定電圧回路 5 は、第 1 電流回路 3 及び第 2 電流回路 4 と接続されている。更に、配線 35 及び配線 36 と接続されている。本回路は、選択ビット線 33s 及び参照ビット線 34 に所定の電圧 V_c を印加する。定電圧回路 5 は、差動増幅器 D1 とトランジスタ M1 とで構成されるクランプ回路に例示される。

【0100】

読み出し部の一部である第 1 電流部としての第 1 電流回路 3 は、一方を配線 35 の途中であって、定電圧回路 5 と第 2 電源 V_{dd} との間に接続され、他方を配線 37 の途中に接続されている。(配線 35-選択ビット線 33s-選択セル 21s) と (配線 37-TMR 列 A11) とに同じセンス電流 I_s を流す。第 1 電流回路 3 は、配線 35 に接続されたトランジスタ M3 と配線 37 に接続されたトランジスタ M4 とで構成されるカレントミラー回路に例示される。

【0101】

読み出し部の一部である第 2 電流部としての第 2 電流回路 4 は、一方を配線 36 の途中であって、定電圧回路 5 と第 2 電源 V_{dd} との間に接続され、他方を配線 38 の途中に接続されている。(配線 36-参照ビット線 34-参照セル 22) と (配線 38-TMR 列 B12) とに同じ参照電流 I_{ref} を流す。第 2 電流回路 4 は、配線 36 に接続されたトランジスタ M5 と配線 38 に接続されたトランジスタ M6 とで構成されるカレントミラー回路に例示される。

【0102】

比較器 13 は、第 1 電流回路 3 のトランジスタ M4 及び第 2 電流回路 4 のトランジスタ M6 のそれぞれのドレイン端子に生成されるセンス電圧 I_s 及び参照電圧 I_{ref} の大小を比較し、読み出し結果として出力する。

【0103】

次に、本発明の磁気ランダムアクセスメモリの第5の実施の形態の動作について説明する。ここでは、磁気ランダムアクセスメモリの読み出し動作について説明する。

【0104】

まず、読み出しXセクタ29は、選択読み出しワード線32sに読み出し電位を印加し、複数の読み出しワード線32の内の選択読み出しワード線以外の非選択読み出しワード線32を開放する。これにより、MOSトランジスタ26及び参照MOSトランジスタ26rがONになる。

読み出しYセクタ23は、選択ビット線33s及び参照ビット線34を、それぞれ配線35及び配線36に接続する。これにより、選択ビット線33sは、及び3に接続される。同様に、参照ビット線34は、第1定電圧電源5及び第2電流回路4に接続される。第2電源Vddに接続するそれぞれ読み出し回路1のTMR列A11の第9端子及びTMR列B12の第11端子に接続する。

【0105】

このとき、第2電源Vdd－第1電流回路3（トランジスタM3）－第1定電圧電源5（トランジスタM1）－選択ビット線33s－選択セル21s（磁気抵抗素子27）－接地、の第3接続が形成される。同様に、第2電源Vdd－第2電流回路4（トランジスタM5）－第1定電圧電源5（トランジスタM2）－参照ビット線34－選択参照セル22s（参照磁気抵抗素子27r）－接地、の第4接続が形成される。

【0106】

第2電源Vddの電位により、上記第3接続に選択セル21sの磁気抵抗素子27に格納されたデータに対応したセンス電流Isが流れる。それに基づいて、第1電流回路3（カレントミラー回路）により、第2電源Vdd－第1電流回路3（トランジスタM4）－TMR列A11（磁気抵抗素子42、磁気抵抗素子41）－接地、の第5接続にも同じセンス電流Isが流れる。そのとき、接続点Aの電位をセンス電位Vsとする。

同様に、第2電源Vddの電位により、上記第4接続に選択参照セル22sの参照磁気抵抗素子27rに格納されたデータに対応した参照電流Irが流れる。

それに基づいて、第2電流回路4（カレントミラー回路）により、第2電源 V_d －第2電流回路4（トランジスタM6）－TMR列B12（磁気抵抗素子45、磁気抵抗素子44）－接地、の第6接続にも同じ参照電流 I_r が流れる。そのとき、接続点Bの電位を参照電位 V_{ref} とする。そして、比較器13は、センス電位 V_s と参照電位 V_{ref} との差に基づいて、読み出し結果を出力する。

【0107】

以上の読み出し動作により、磁気ランダムアクセスメモリの選択セル21sのデータを読み出すことができる。

【0108】

本実施例では、メモリセル21、参照セル22、負荷抵抗（TMR列A11及びTMR列B12）に用いられている磁気抵抗素子は全て実質的に同一である。ここで、データ“1”を格納した磁気抵抗素子にかかる電圧を $V(1)$ 、データ“0”を格納した磁気抵抗素子にかかる電圧を $V(0)$ 、MR比をMRとした場合、選択ビット線の電圧、即ち、センス電圧 V_s と、参照電圧 V_{ref} は、以下の式で表される。

$$V_s(0) = 2(1 + MR) \cdot V_c, V_s(1) = 2 \cdot V_c \quad (7)$$

$$V_{ref} = 2(1 + 0.5 \cdot MR) \cdot V_c \quad (8)$$

【0109】

このとき、本実施例を $V_c = 0.3V$ として、シミュレーションを行った。その結果を図11及び図12に示す。

図11は、センス電圧及び参照電圧のMR比依存性を示すグラフである。縦軸はセンス電圧 V_s 及び参照電圧 V_{ref} 、横軸はMR比である。式(7)及び(8)より、MR比の変化によらず、 V_{ref} は、常に概ね $V_s(1)$ と $V_s(0)$ との中間の値をとることがわかる。即ち、MR比によらず、最適な参照電圧を維持することが可能となる。

【0110】

図12は、センス電圧及び参照電圧の磁気抵抗素子の抵抗値依存性を示すグラフである。磁気抵抗素子の抵抗値は、温度により上昇する。磁気抵抗素子の温度依存性に関わらず、 V_{ref} は、常に概ね $V_s(1)$ と $V_s(0)$ との中間の値

をとることがわかる。即ち、磁気抵抗素子の温度変化によらず、最適な参照電圧を維持することが可能となる。

【0111】

このシミュレーション結果、及び式(3)、(7)、(8)より、MR比と磁気抵抗素子の抵抗値の両方に依存することなく $k=0.5$ である。これは、先述した最も読み出しの信頼性を高める $k \leq 0.49$ ではないが、後述するトリミング回路を付加すれば $k \leq 0.49$ に調整することが可能である。また、参照セルに必要な TMR は 1 つで良いことから、メモリアレイ内の参照セル占有面積を最小限にでき、参照セルの TMR ショートに伴うワード線不良も最小限に抑えることができる。

【0112】

本発明により、センス電圧 $V_s(1)$ 及び $V_s(0)$ と参照電圧 V_{ref} との関係を、磁気抵抗素子の抵抗値の変化（印加電圧による変化、温度による変化）に依存しないものにすることが出来る。従って、各磁気抵抗素子には、約 $V_p/3$ の電圧が均等に印加される。そのため、図 20 で説明されたような TMR 素子特有のバイアス依存性の影響をほとんど受けない。すなわち、高い信頼性を有する読み出し動作が可能となる。

【0113】

本発明により、参照セル 22 に必要な磁気抵抗素子が 1 つで良いことから、メモリアレイ 2 内の参照セル占有面積を最小限にでき、参照セル 22 の磁気抵抗素子 27r のショートに伴うワード線不良も抑制することが出来る。

【0114】

(第 6 の実施の形態)

次に、本発明の磁気ランダムアクセスメモリの第 6 の実施の形態について説明する。

まず、本発明の磁気ランダムアクセスメモリの第 6 の実施の形態の構成について説明する。

図 13 は、本発明の磁気ランダムアクセスメモリの第 6 の実施の形態の構成図である。本実施の形態では、第 5 の実施の形態（図 10）と比較して、TMR 列

A 1 1 が TMR 列 C 1 1 a に変わっている点と、参照セル 2 2 に定常的にデータ “1” が格納されている点で図 1 0 と異なる。TMR 列 C 1 1 a は、磁気抵抗素子 4 1 及び磁気抵抗素子 4 2 に、いずれも定常的に TMR が平行状態であるデータ “0” を格納している。TMR 列 B 1 2 a は TMR 列 B 1 2 と同じであり、図 1 3 のその他の構成も、第 5 の実施の形態（図 1 0）と同様であり、その説明を省略する。

【0115】

本発明の磁気ランダムアクセスメモリの第 6 の実施の形態の動作については、第 5 の実施の形態同様であるのでその説明を省略する。

【0116】

この場合も、全ての磁気抵抗素子に約 $V_p / 3$ の電圧が均等に印加される。そのため、バイアス依存性の影響をほとんど受けない。ここで、選択ビット線電圧、即ち、センス電圧 V_s と、参照電圧 V_{ref} は以下の式で表される。

$$V_s(0) = 2 \cdot V_c, V_s(1) = 2 \cdot V_c / (1 + MR) \quad (7a)$$

$$V_{ref} = (2 + MR) \cdot V_c / (1 + MR) \quad (8a)$$

図 5 の場合と同様にして、シミュレーション結果及び式 (7 a)、(8 a) より、MR 比の変化によらず、 V_{ref} は、常に概ね $V_s(1)$ と $V_s(0)$ との中間の値をとる。即ち、MR 比によらず、最適な参照電圧を維持することが可能となる。更に、磁気抵抗素子の温度依存性に関わらず、 V_{ref} は、常に概ね $V_s(1)$ と $V_s(0)$ との中間の値をとる。即ち、磁気抵抗素子の温度変化によらず、最適な参照電圧を維持することが可能となる。

【0117】

ただし、シミュレーション結果、及び式 (3)、(7 a)、(8 a) より、MR 比と磁気抵抗素子の抵抗値の両方に依存することなく $k = 0.5$ である。これは、先述した最も読み出しの信頼性を高める $k \leq 0.49$ ではないが、後述するトリミング回路を付加すれば $k \leq 0.49$ に調整することが可能である。

【0118】

(第 7 の実施の形態)

次に、本発明の磁気ランダムアクセスメモリの第 7 の実施の形態について説明

する。

まず、本発明の磁気ランダムアクセスメモリの第 7 の実施の形態の構成について説明する。

図 1 4 は、本発明の磁気ランダムアクセスメモリの第 7 の実施の形態の構成図である。本実施の形態では、第 5 の実施の形態（図 1 3）と比較して、以下の点異なる。比較器 1 3 の接続点 A に対して配線 3 7 と並列に配線 3 9 が設けられている。比較器 1 3 の接続点 B に対して配線 3 8 と並列に配線 4 0 が設けられている。

ただし、配線 3 9 は、一端を第 2 電源 V d d に、他端を接続点 A に接続している。そして、その途中に、第 1 補助回路 6 を含む。配線 4 0 は、一端を第 2 電源 V d d に、他端を接続点 B に接続している。そして、その途中に、第 2 補助回路 7 を含む、図 1 4 のその他の構成は、第 5 の実施の形態（図 1 3）と同様であり、その説明を省略する。

【 0 1 1 9 】

読み出し部の一部である第 1 補助部としての第 1 補助回路 6 は、配線 3 9 の途中に設けられている。接続点 A - 配線 3 7 - TMR 配列 A 1 1 へ付加的に電流 β を流す。第 1 補助回路 6 は、トリミング回路に例示され、トランジスタ M 8 と、スイッチとを含む。トランジスタ M 8 は、ゲート電極を第 1 電流回路 3 のトランジスタ M 3 及び M 4 のゲート電極に接続され、ゲート電極以外の一方の電極を接続点 A に、他端をスイッチを介して第 2 電源 V d d に接続している。

【 0 1 2 0 】

読み出し部の一部である第 2 補助部としての第 2 補助回路 7 は、配線 4 0 の途中に設けられている。接続点 B - 配線 3 8 - TMR 配列 B 1 2 へ付加的に電流 α を流す。第 2 補助回路 7 は、トリミング回路に例示され、トランジスタ M 7 と、スイッチとを含む。トランジスタ M 7 は、ゲート電極を第 2 電流回路 4 のトランジスタ M 5 及び M 6 のゲート電極に接続され、ゲート電極以外の一方の電極を接続点 B に、他端をスイッチを介して第 2 電源 V d d に接続している。

【 0 1 2 1 】

次に、本発明の磁気ランダムアクセスメモリの第 7 の実施の形態の動作について

ては、以下のように読み出し回路 1 に流れる電流が微調整される点以外は、第 5 の実施の形態と同様であるので、その説明を省略する。

すなわち、第 2 電源 V_{dd} - 第 1 電流回路 3 (トランジスタ M_3) - 第 1 定電圧電源 5 (トランジスタ M_1) - 選択ビット線 33s - 選択セル 21s (磁気抵抗素子 27) - 接地にセンス電流 I_s が流れる際、第 2 電源 V_{dd} - 第 1 電流回路 3 (トランジスタ M_4) - 接続点 A に、センス電流 I_s が流れると共に第 2 電源 V_{dd} - 第 1 補助回路 6 (トランジスタ M_8) - 接続点 A に、微小な調整用の電流 β が流れる。結果として、接続点 A - TMR 列 A11 (磁気抵抗素子 42、磁気抵抗素子 41) - 接地に、センス電流 $I_s + \beta$ の電流が流れる。

同様に、第 2 電源 V_{dd} - 第 2 電流回路 4 (トランジスタ M_5) - 第 1 定電圧電源 5 (トランジスタ M_2) - 参照ビット線 34 - 選択参照セル 22s (磁気抵抗素子 27r) - 接地に参照電流 I_r が流れる際、第 2 電源 V_{dd} - 第 2 電流回路 4 (トランジスタ M_6) - 接続点 B に、参照電流 I_r が流れると共に第 2 電源 V_{dd} - 第 2 補助回路 7 (トランジスタ M_7) - 接続点 B に、微小な調整用の電流 α が流れる。結果として、接続点 B - TMR 列 B12 (磁気抵抗素子 45、磁気抵抗素子 44) - 接地に、参照電流 $I_r + \alpha$ の電流が流れる。

【0122】

トランジスタ M_7 及びトランジスタ M_8 は、第 5 の実施の形態において、 $k \leq 0.49$ となるように参照電圧を微調整する目的で付加されており、そのゲート幅 W とゲート長 L の比 (W/L) は十分小さい値が好ましい。

スイッチを制御して、トランジスタ M_7 及びトランジスタ M_8 のいずれか一方だけを用いてもよい。トランジスタ M_7 及びトランジスタ M_8 の少なくとも一方を複数設けることも可能であり、それらをスイッチを制御して、同時に複数選択しても良い。

【0123】

本発明により、第 5 の実施の形態や第 6 の実施の形態においても、 $k \leq 0.49$ とすることが出来る。すなわち、磁気抵抗素子に印加される電圧や温度の影響を受けない最適な参照電圧を得ることが可能となる。

【0124】

補助回路を用いる本実施の形態は、本明細書中に述べられる他の実施の形態においても、適用することが出来る。そして、同様の効果を得ることが出来る。

【0125】

(第8の実施の形態)

次に、本発明の磁気ランダムアクセスメモリの第8の実施の形態について説明する。

まず、本発明の磁気ランダムアクセスメモリの第8の実施の形態の構成について説明する。

図15は、本発明の磁気ランダムアクセスメモリの第8の実施の形態の更に他の構成を示す図である。図10と比較して、読み出し回路1bにおいて以下の点で異なる。すなわち、TMR列A11-i ($i=1\sim n$:自然数) とスイッチ14-i ($i=1\sim n$:自然数) とが直列に接続された組が複数存在する。複数の組の各々は、互いに並列に接続される。そして、その一端を配線37に、他端を接地に接続している。同様に、TMR列B12-j ($j=1\sim m$:自然数) とスイッチ15-j ($j=1\sim m$:自然数) とが直列に接続された組が複数存在する。複数の組の各々は、互いに並列に接続される。そして、その一端を配線38に、他端を接地に接続している。

【0126】

この場合の読み出し回路1bは、各TMR列内の磁気抵抗素子が破損している場合や適切な値を示さない場合、読み出し歩留まりをより向上させたい場合に備えて、予備のTMR列を提供できるようになっている。すなわち、読み出し動作時、又は、事前にスイッチ14-i とスイッチ15-j とにより、使用するTMR列A11-i 及びTMR列B12-j を決めて、それを用いることにする。

【0127】

その他の構成については、第5の実施の形態(図10)と同様であり、その説明を省略する。

【0128】

本発明の磁気ランダムアクセスメモリの第8の実施の形態の動作については、第5の実施の形態同様であるのでその説明を省略する。

【0129】

本発明により、図10の場合の効果のほか、TMR列内の磁気抵抗素子が破損している場合や適切な値を示さない場合、読み出し歩留まりをより向上させたい場合でも、他のTMR列を用いることで、読み出し動作時の信頼性を向上させることが可能となる。

【0130】

複数のTMR列を用いる本実施の形態は、本明細書中に述べられる他の実施の形態においても、適用することが出来る。そして、同様の効果を得ることが出来る。

【0131】

(第9の実施の形態)

次に、本発明の磁気ランダムアクセスメモリの第9の実施の形態について説明する。

まず、本発明の磁気ランダムアクセスメモリの第9の実施の形態の構成について説明する。

図16は、本発明の磁気ランダムアクセスメモリの第9の実施の形態の更に他の構成を示す図である。図10と比較して、メモリセルアレイ2aにおいて、以下の点で異なる。すなわち、参照ビット線34及びそれに沿って存在する参照セル22がない。従って、読み出しYセクタ23は参照ビット線34を選択しない。それらに代わって、複数の参照用磁気抵抗素子47、参照セルセクタ8、トランジスタM10が設けられている。

【0132】

トランジスタM10は、定電圧回路5に接続される配線36aに接続されている。そのゲートに入力される制御信号により、読み出し動作時に、定電圧回路5及び第2電流回路4と参照用磁気抵抗素子47とを接続する。制御信号を入力されるゲートと、配線36aへ接続されたゲート以外の一方の端子としての第1接続端子と、複数の参照用磁気抵抗素子47-kへ接続された他方の端子としての第2接続端子とを備える。

【0133】

参照用磁気抵抗素子 4 7 - k ($k = 1 \sim p$: 自然数) 及び参照セルセクタ 8 は、第 4 の実施の形態と同様であるので、その説明を省略する。

【 0 1 3 4 】

本発明の磁気ランダムアクセスメモリの第 9 の実施の形態の動作については、参照セル 2 2 の代わりに参照磁気抵抗素子 4 7 を用いること、参照磁気抵抗素子 4 7 の選択は、トランジスタ M 1 0 及び参照セルセクタ 8 とで行うこと以外は、第 5 の実施の形態同様であるのでその説明を省略する。

【 0 1 3 5 】

本発明により、図 1 0 の場合の効果のほか、参照用の磁気抵抗素子が破損している場合や適切な値を示さない場合、読み出し歩留まりをより向上させたい場合でも、他の T 参照用の磁気抵抗素子を用いることで、読み出し動作時の信頼性を向上させることが可能となる。

【 0 1 3 6 】

複数の参照用磁気抵抗素子を用いる本実施の形態は、本明細書中に述べられる他の実施の形態においても、適用することが出来る。そして、同様の効果を得ることが出来る。

【 0 1 3 7 】

本発明において、メモリセルアレイは、上述のメモリセルアレイ 2、2 a に制限されることはない。例えば、第 5 から第 9 の実施の形態については、図 1 7 に示すクロスポイントセルを用いた M R A M に適用することが出来る。

【 0 1 3 8 】

図 1 7 は、クロスポイントセルアレイ 2 b を示す図である。クロスポイントセルアレイ 2 b は、複数のメモリセル 7 2 と、複数の参照セル 7 2 r と、ワード線 7 3 と、ビット線 7 4 と、Y セクタ 7 8 と、X セクタ 7 9 とを具備する。ビット線 7 4 は、第 1 方向 (Y 方向) に延伸する。ワード線 7 3 は、第 1 方向 (Y 方向) に実質的に垂直な第 2 方向 (X 方向) に延伸する。Y セクタ 7 8 は、複数のビット線 7 4 から選択ビット線 7 4 s を選択し、読み出し動作時に、参照ビット線 7 4 r を選択する。X セクタ 7 9 は、複数のビット線 7 4 から選択ビット線 7 4 s を選択する。複数のメモリセル 7 2 の各々は、複数のビット線 7 4 と

複数のワード線 73 とが交差する位置のそれぞれに対応して設けられている。第 1 磁気抵抗素子 77 が、ワード線 73 に接続された一方の端子としての第 1 端子と、ビット線 74 に接続された他方の端子としての第 2 端子を含む。複数の参照セル 72 r の各々は、参照ビット線 74 r と複数のワード線 73 とが交差する位置のそれぞれに対応して設けられている。参照用磁気抵抗素子 77 r が、ワード線 73 に接続された一方の端子としての第 3 端子と、参照ビット線 74 r に接続された他方の端子としての第 4 端子を含む。

【0139】

本発明において、メモリセルアレイは、上述のメモリセルアレイ 2、2 a に制限されることはない。例えば、第 1 から第 9 の実施の形態については、図 18 に示す 2 個のトランジスタと 1 個の磁気抵抗素子を用いた MRAM でもよい。

【0140】

図 18 は、他のメモリセルアレイ 2 c を示す図である。

メモリセルアレイの 2 c は、複数のメモリセル 52 と、複数の参照セル 52 r と、複数の第 1 ビット線 54 と、複数の第 2 ビット線 55 と、複数のワード線 53 と、Y セクタ 62 と、Y 側電流終端回路 61 と、X セクタ 58 と、Y 側電流源回路 63 を具備する。複数の第 1 ビット線 54 は、第 1 方向（Y 方向）に延伸する。複数の第 2 ビット線 55 は、複数の第 1 ビット線 54 の各々と対をなし、第 1 方向（Y 方向）に延伸する。複数のワード線 53 は、第 1 方向（Y 方向）に実質的に垂直な第 2 方向（X 方向）に延伸する。Y セクタ 62 は、複数の第 1 ビット線 54 から選択ビット線 54 s を選択する。Y 側電流終端回路 61 は、複数の第 2 ビット線 55 から選択第 2 ビット線 55 s を選択する。X セクタ 58 は、複数のワード線 53 から選択ワード線 53 s を選択する。Y 側電流源回路 63 は書き込み動作時に第 2 ビット線 55 - 磁気抵抗素子 57 - 第 1 ビット線 54 の経路に電流を流す。

複数のメモリセル 52 の各々は、第 1 磁気抵抗素子 57 と、第 1 トランジスタ 56 と、第 2 トランジスタ 66 とを備える。第 1 トランジスタ 56 は、ワード線 53 に接続された第 1 ゲートと、第 1 ビット線 54 に接続された第 1 ゲート以外の一方の端子としての第 1 端子と、他方の端子としての第 2 端子とを含む。第 2

トランジスタ 66 は、第 1 ワード線 54 に接続された第 2 ゲートと、第 2 ビット線 55 に接続された第 2 ゲート以外の一方の端子としての第 5 端子と、第 2 端子に接続された他方の端子としての第 6 端子とを含む。複数のメモリセル 52 の各々は、複数の第 1 ビット線 54 及び複数の第 2 ビット線 55 と複数のワード線 53 とが交差する位置のそれぞれに対応して設けられている。第 1 磁気抵抗素子 57 が、一方の端子としての第 3 端子を接地に、他方の端子としての第 4 端子を第 2 端子に接続されている。複数の参照セル 52 r の各々は、参照磁気抵抗素子 57 r、第 3 トランジスタ 56 r と、第 4 トランジスタ 66 r とを備える。第 3 トランジスタ 56 r は、ワード線 53 に接続された第 3 ゲートと、第 1 ビット線 54 に接続された第 3 ゲート以外の一方の端子としての第 7 端子と、他方の端子としての第 8 端子とを含む。第 4 トランジスタ 66 r は、ワード線 53 に接続された第 4 ゲートと、第 2 ビット線 55 に接続された第 4 ゲート以外の一方の端子としての第 11 端子と、第 8 端子に接続された他方の端子としての第 12 端子とを含む。複数の参照セル 52 r の各々は、参照第 1 ビット線 54 r 及び参照第 2 ビット線 55 r と複数のワード線 53 とが交差する位置のそれぞれに対応して設けられている。参照磁気抵抗素子 57 r が、一方の端子としての第 9 端子を接地に、他方の端子としての第 10 端子を第 8 端子に接続している。

【0141】

本発明によれば、磁気抵抗素子を利用した半導体記憶装置 (MRAM) において、メモリセルの記憶情報を判別するための参照電圧を自動的に最適な値にすることが出来る。それにより、読み出しの信頼性を高めることができる。

【0142】

また、全ての磁気抵抗素子に均等に電圧が印加されるため、磁気抵抗素子特有のバイアス依存性によらず、参照電圧を最適な値にすることが可能である。

【0143】

また、磁気抵抗素子 (TMR 素子) の抵抗値や MR 比の大小に関わらず、参照電圧を最適な値にすることが可能である。従って、使用時の温度に依存することなく、上記参照電圧は最適な値を保持でき、読み出しの信頼性を損なうことはない。

【0144】

また、参照セルはユーザエリアのメモリセルと同様の構成にすることができ、参照セルの占有面積が削減できる。さらに、磁気抵抗素子のショート等によるワード線不良の数を減少させることができる。また、負荷抵抗に磁気抵抗素子（TMR素子）を用いることで、読み出し回路の面積を小さくできる。

【0145】

【発明の効果】

本発明により、磁気ランダムアクセスメモリにおけるメモリセルに記憶されているデータを高い信頼性で判別し、読み出すことが可能となる。

【図面の簡単な説明】

【図1】 図1は、本発明の磁気ランダムアクセスメモリの第1の実施の形態の構成図である。

【図2】 図2（a）は、磁気抵抗素子の抵抗値のばらつきを示すグラフである。

図2（b）は、参照電圧と読み出し不良セルの確率の関係の計算結果を示すグラフである。

【図3】 図3は、 $V_{ref}(ideal)$ を示すグラフである。

【図4】 図4は、センス電圧及び参照電圧のMR比依存性を示すグラフである。

【図5】 図5は、センス電圧及び参照電圧の磁気抵抗素子の抵抗値依存性を示すグラフである。

【図6】 図6は、本発明の磁気ランダムアクセスメモリの第2の実施の形態の構成図である。

【図7】 図7は、最も読み出し精度を高くするkとMR比との関係を示すグラフである。

【図8】 図8は、本発明の磁気ランダムアクセスメモリの第3の実施の形態の更に他の構成を示す図である。

【図9】 図9は、本発明の磁気ランダムアクセスメモリの第4の実施の形態の更に他の構成を示す図である。

【図 1 0】 図 1 0 は、本発明の磁気ランダムアクセスメモリの第 1 の実施の形態の構成図である。

【図 1 1】 図 1 1 は、センス電圧及び参照電圧の MR 比依存性を示すグラフである。

【図 1 2】 図 1 2 は、センス電圧及び参照電圧の磁気抵抗素子の抵抗値依存性を示すグラフである。

【図 1 3】 図 1 3 は、本発明の磁気ランダムアクセスメモリの第 6 の実施の形態の構成図である。

【図 1 4】 図 1 4 は、本発明の磁気ランダムアクセスメモリの第 6 の実施の形態の構成図である。

【図 1 5】 図 1 5 は、本発明の磁気ランダムアクセスメモリの第 8 の実施の形態の更に他の構成を示す図である。

【図 1 6】 図 1 6 は、本発明の磁気ランダムアクセスメモリの第 9 の実施の形態の更に他の構成を示す図である。

【図 1 7】 図 1 7 は、クロスポイントセルアレイを示す図である。

【図 1 8】 図 1 8 は、他のメモリセルアレイを示す図である。

【図 1 9】 図 1 9 は、典型的な MRAM の構成を示す図である。

【図 2 0】 図 2 0 は、従来技術における参照用メモリセル及びその周辺の構成を示す図である。

【図 2 1】 図 2 1 は、TMR の両端にかかる電圧（両端電圧）と MR 比との関係を示すグラフである。

【符号の説明】

- 1、1 a 読み出し回路
- 2、2 a、2 b、2 c、2 d メモリセルアレイ
- 3 第 1 電流回路
- 4 第 2 電流回路
- 5 定電圧回路
- 6 第 1 補助回路
- 7 第 2 補助回路

8 参照セルセクタ

11、11-i ($i=1\sim n$:自然数) TMR列A

11a TMR列C

12、12-j ($j=1\sim m$:自然数) TMR列B

13 比較器

14-i ($i=1\sim n$:自然数)、15-j ($j=1\sim m$:自然数) ス

イッチ

18 破壊電圧防止回路

21 メモリセル

22 参照セル

23 読み出しYセクタ

24 書き込みYセクタ

26 MOSトランジスタ

26r 参照MOSトランジスタ

27 磁気抵抗素子

27r 参照磁気抵抗素子

28 書き込みXセクタ

29 読み出しXセクタ

33 ビット線

34 参照ビット線

35、36、36a、37、38、39、40 配線

41 磁気抵抗素子

42 磁気抵抗素子

44 磁気抵抗素子

45 磁気抵抗素子

47-k ($k=1\sim p$:自然数) 参照用磁気抵抗素子

50 ワード線対

52 メモリセル

52r 参照セル

- 5 3 ワード線
- 5 4 第 1 ビット線
- 5 5 第 2 ビット線
- 5 6 第 1 トランジスタ
- 5 6 r 第 3 トランジスタ
- 5 7 第 1 磁気抵抗素子
- 5 7 r 参照磁気抵抗素子
- 5 8 X セレクタ
- 6 1 Y 側電流終端回路
- 6 2 Y セレクタ
- 6 3 Y 側電流源回路
- 6 6 第 2 トランジスタ
- 6 6 r 第 4 トランジスタ
- 7 2 メモリセル
- 7 2 r 参照セル
- 7 3 ワード線
- 7 4 ビット線
- 7 4 r 参照ビット線
- 7 7 第 1 磁気抵抗素子
- 7 8 Y セレクタ
- 7 9 X セレクタ
- 1 0 1 センスアンプ
- 1 0 2 Y セレクタ
- 1 0 3 メモリセル
- 1 0 4、1 0 4 a 参照用メモリセル
- 1 0 5 a ビット線
- 1 0 5 b 参照用ビット線
- 1 0 6 書き込み (ライト) ワード線
- 1 0 7 読み出し (リード) ワード線

1 0 8、1 0 8 a 参照用 TMR

1 0 9 TMR

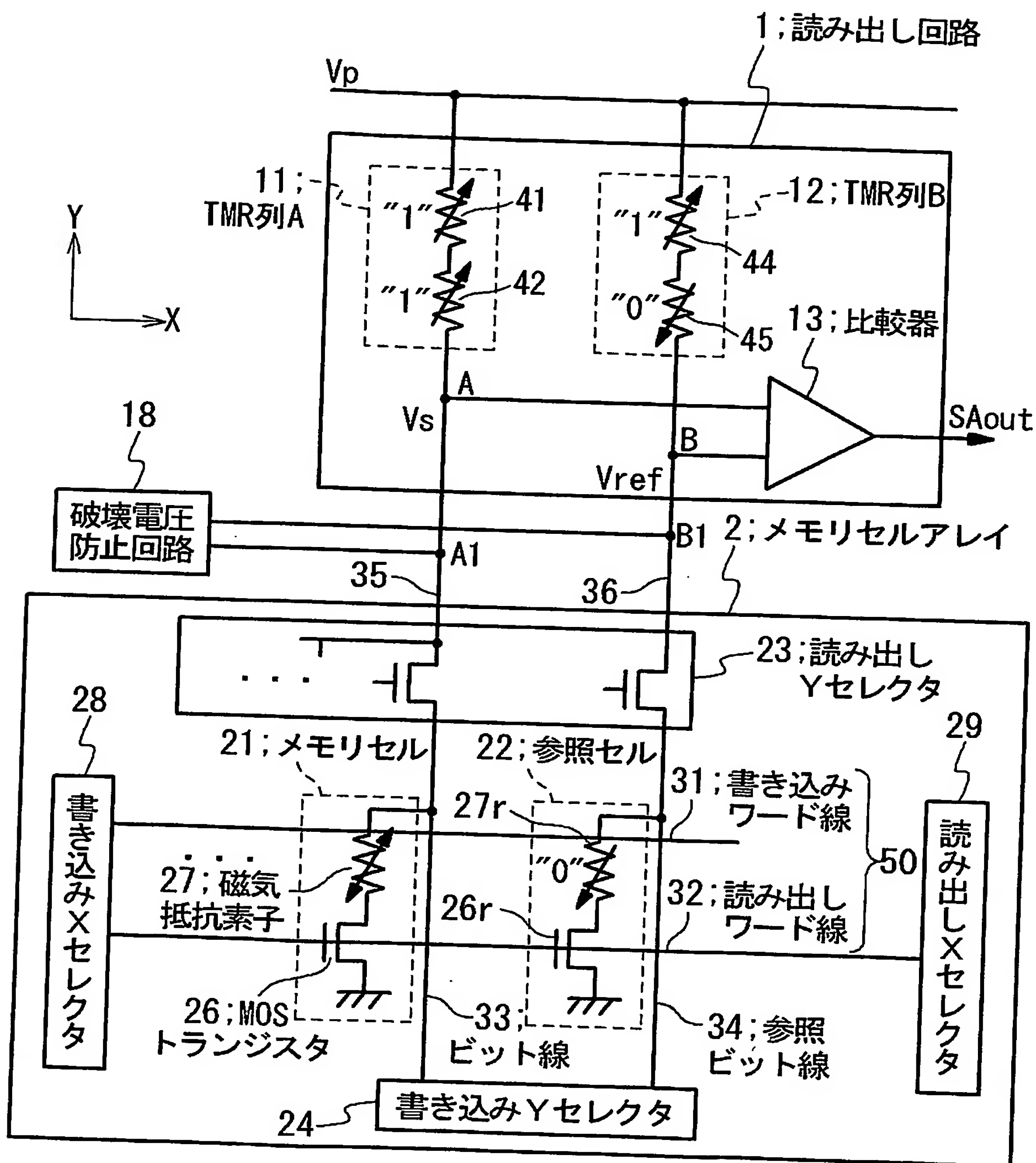
1 1 0、1 1 2 トランジスタ

1 1 1、1 1 3 グランド

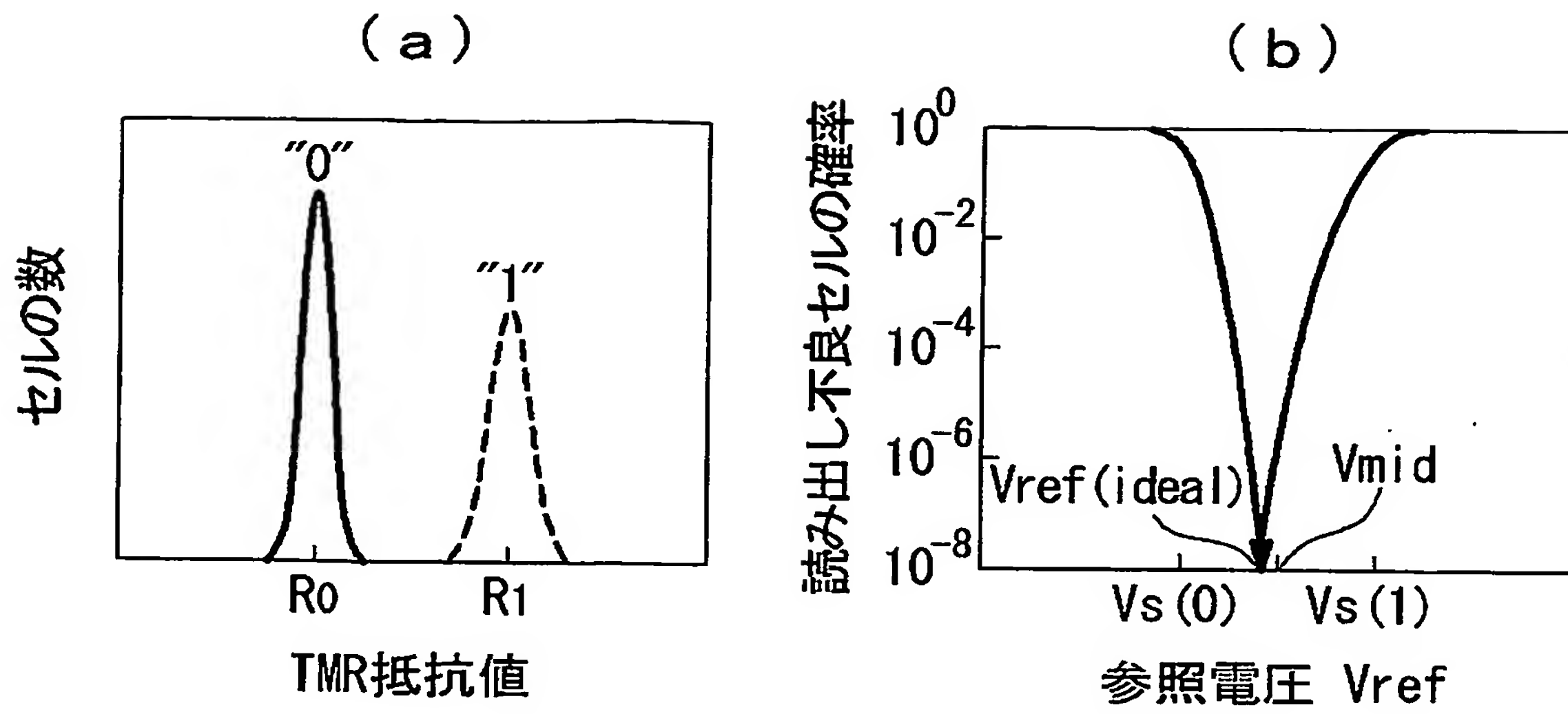
1 2 0 メモリセルアレイ

【書類名】 図面

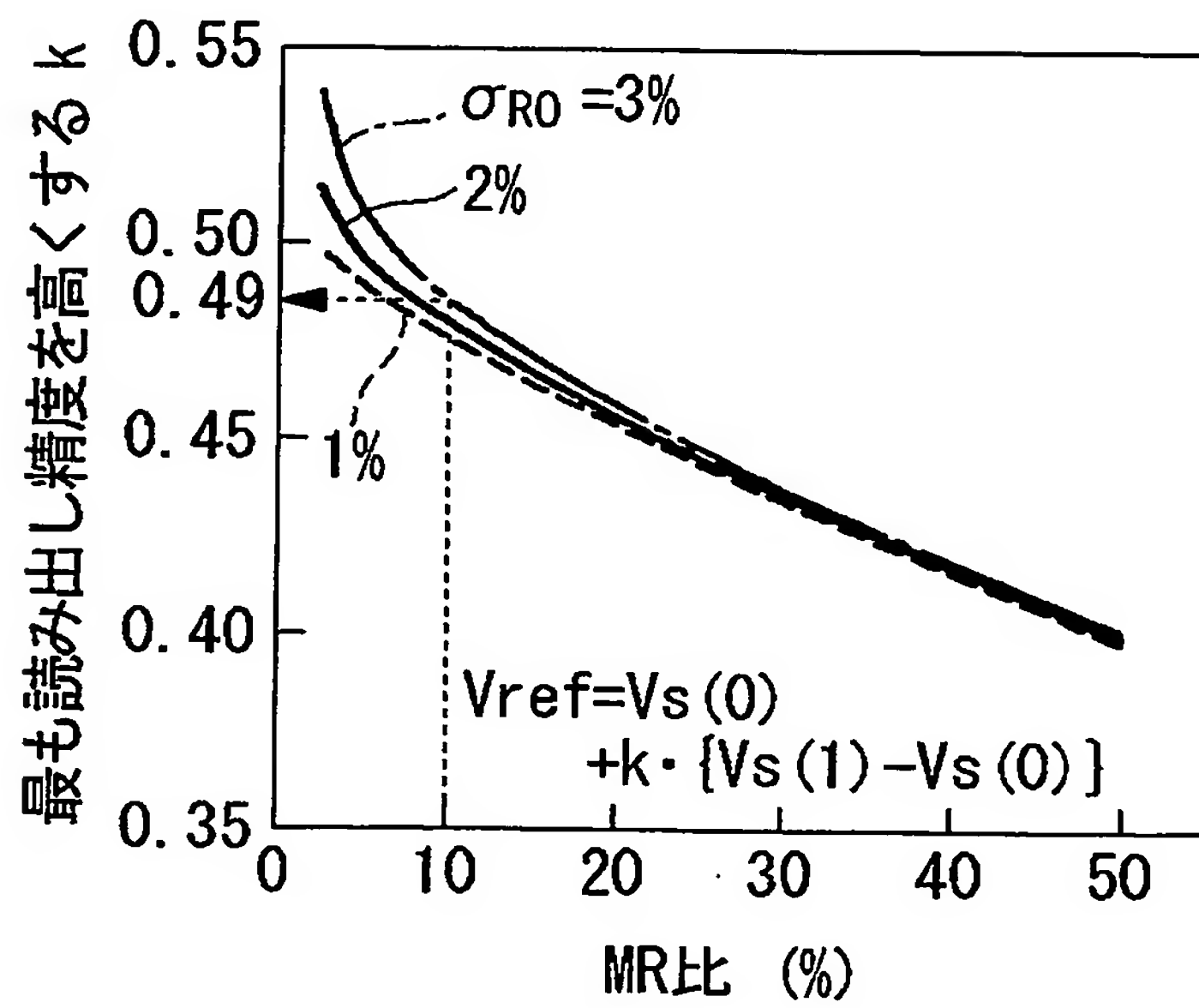
【図 1】



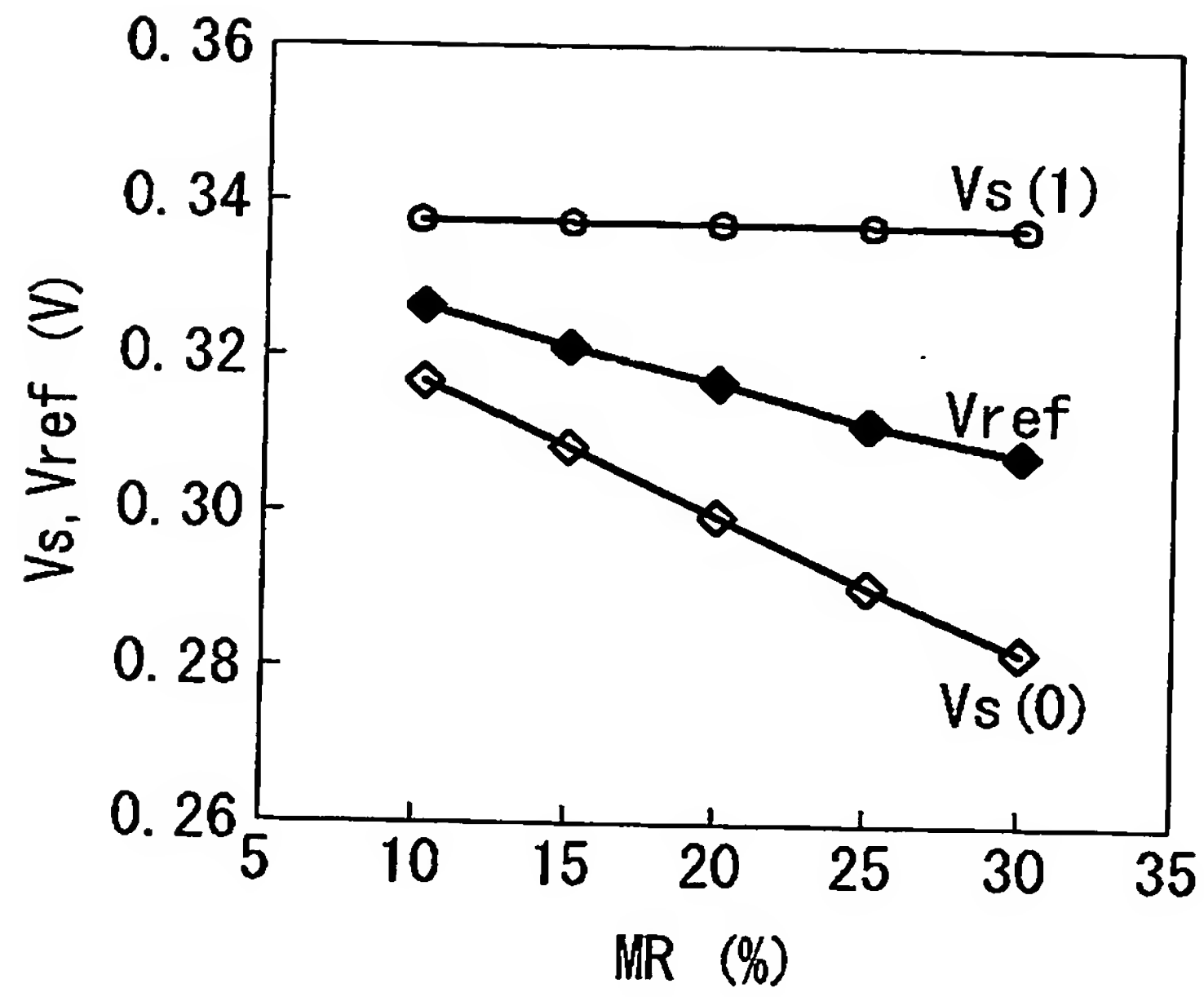
【図 2】



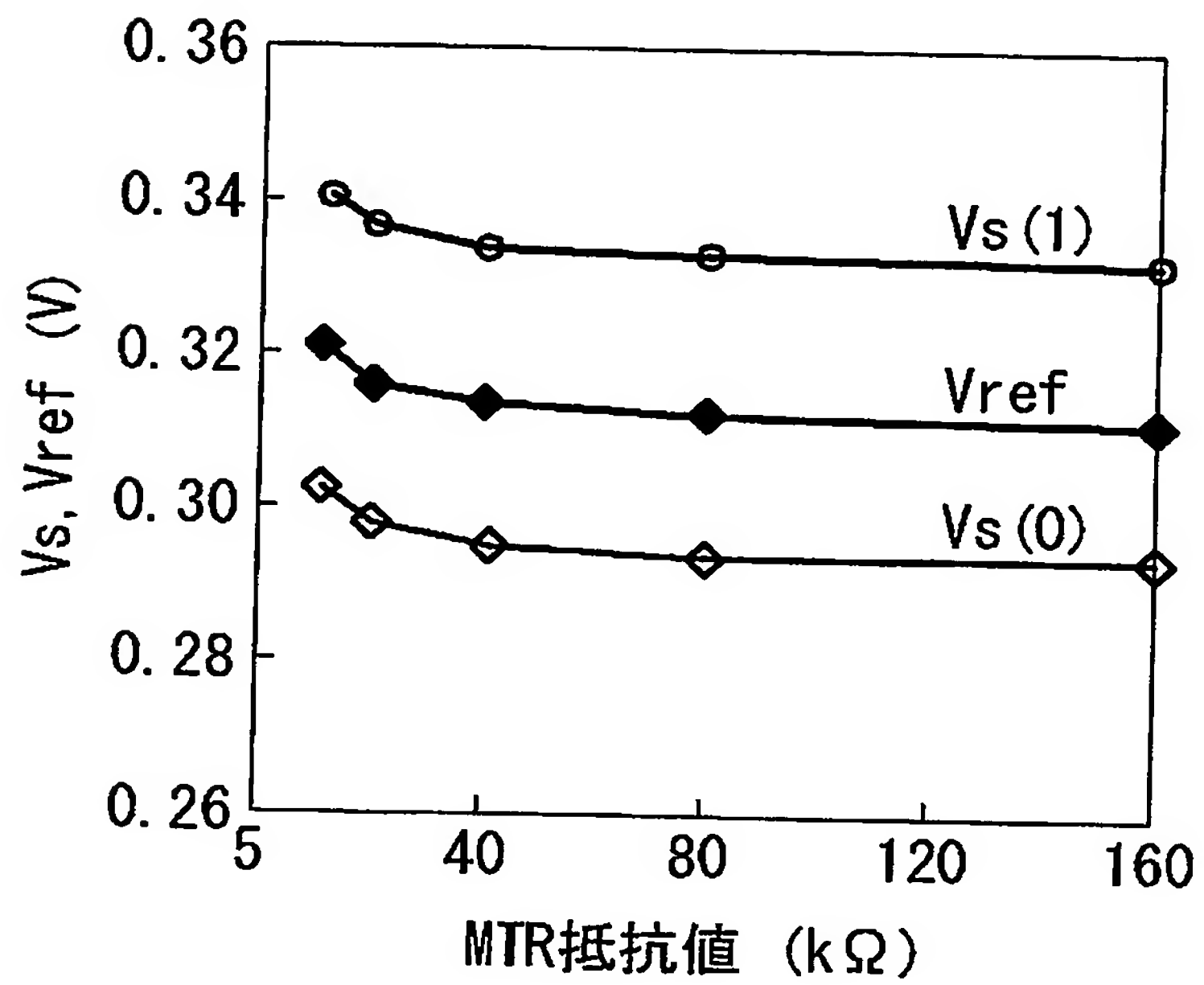
【図 3】



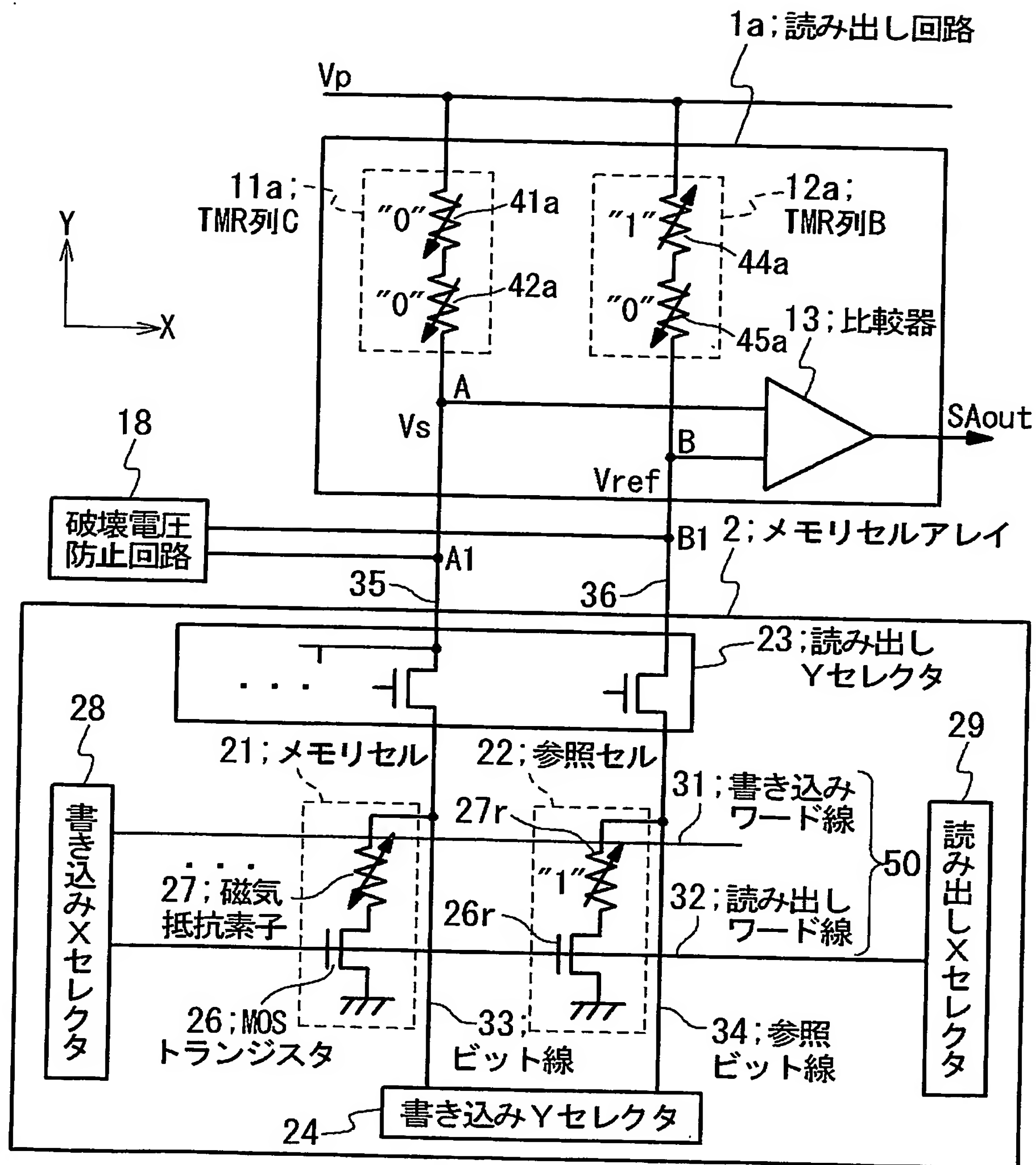
【図 4】



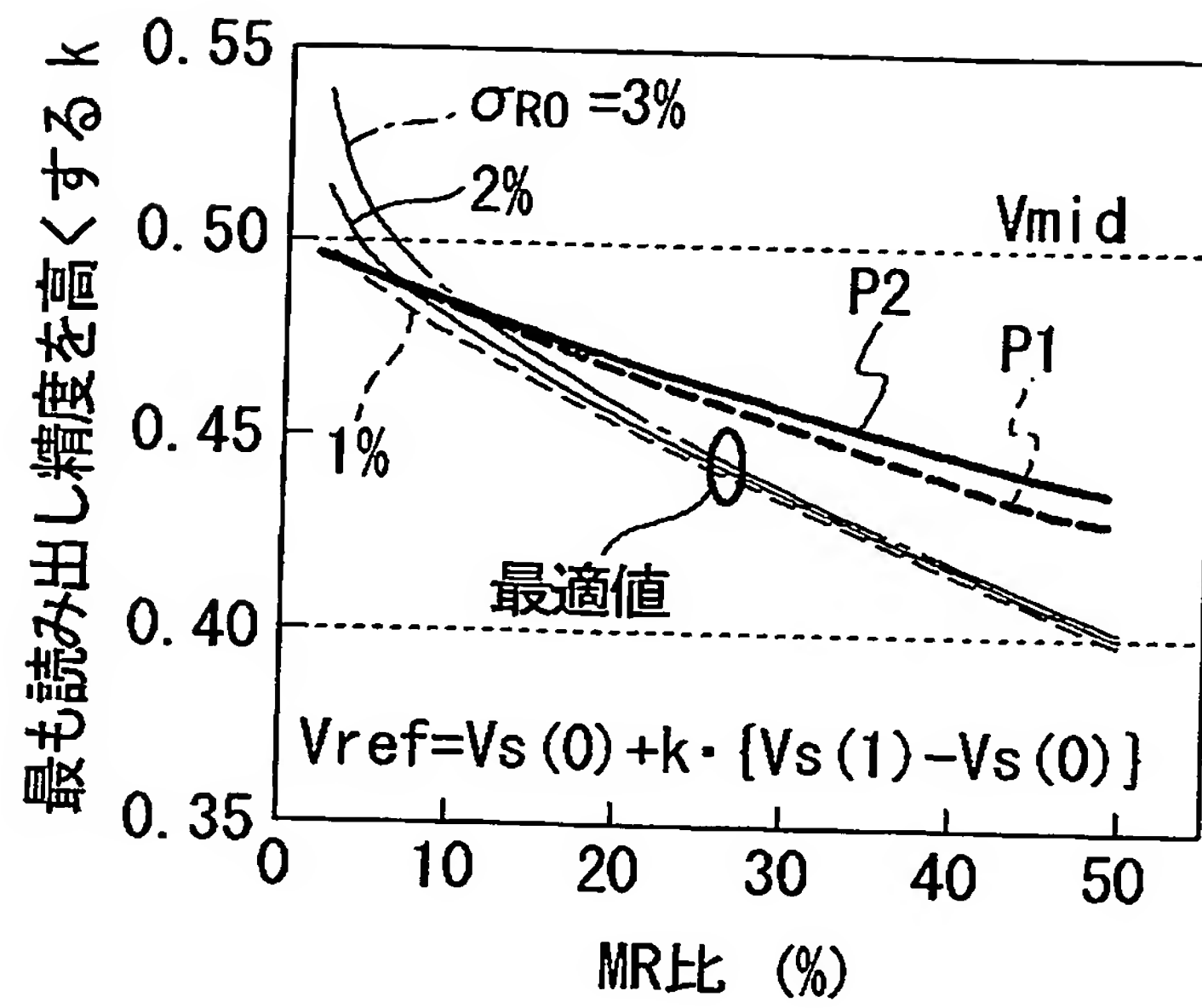
【図 5】



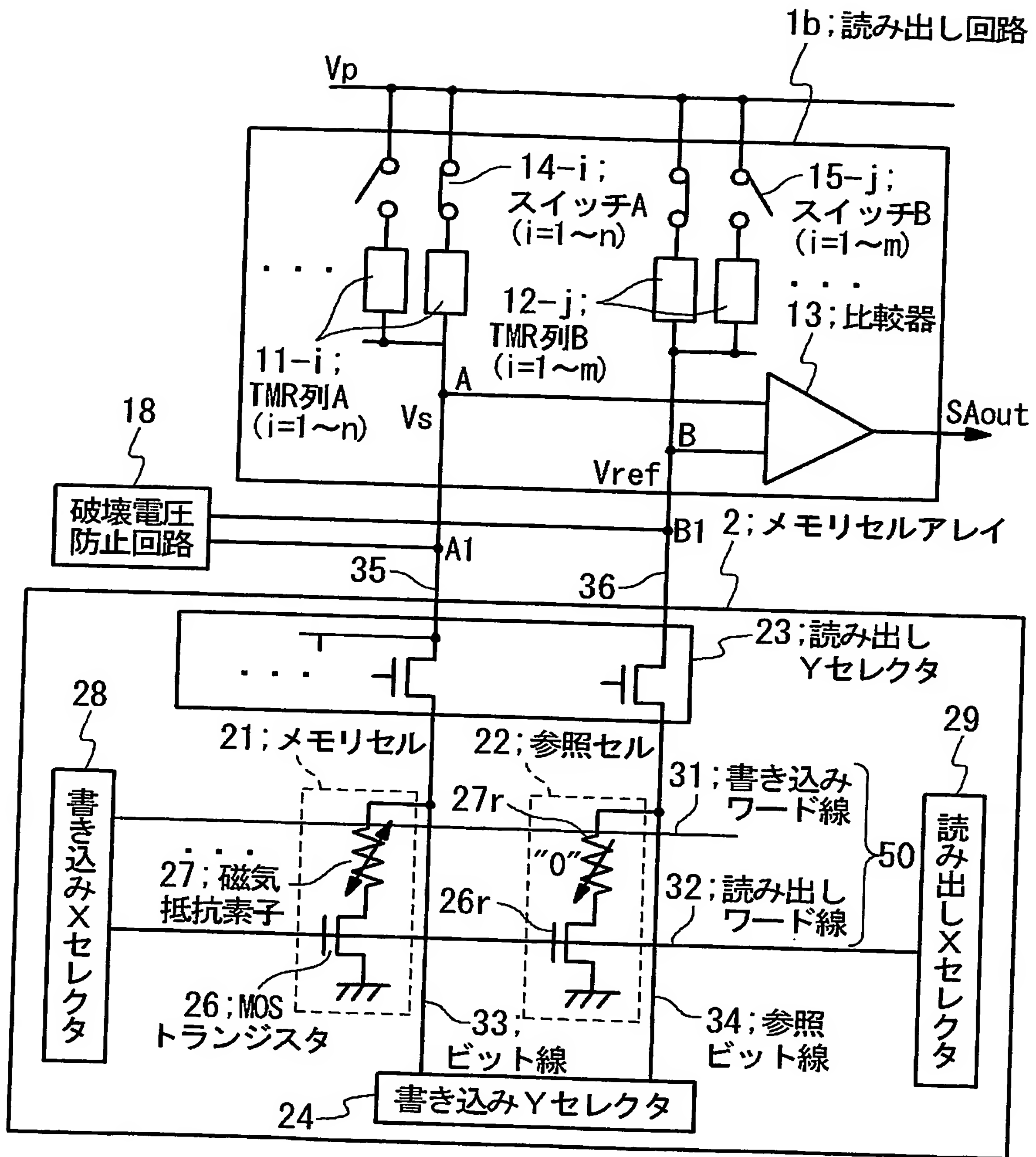
【図 6】



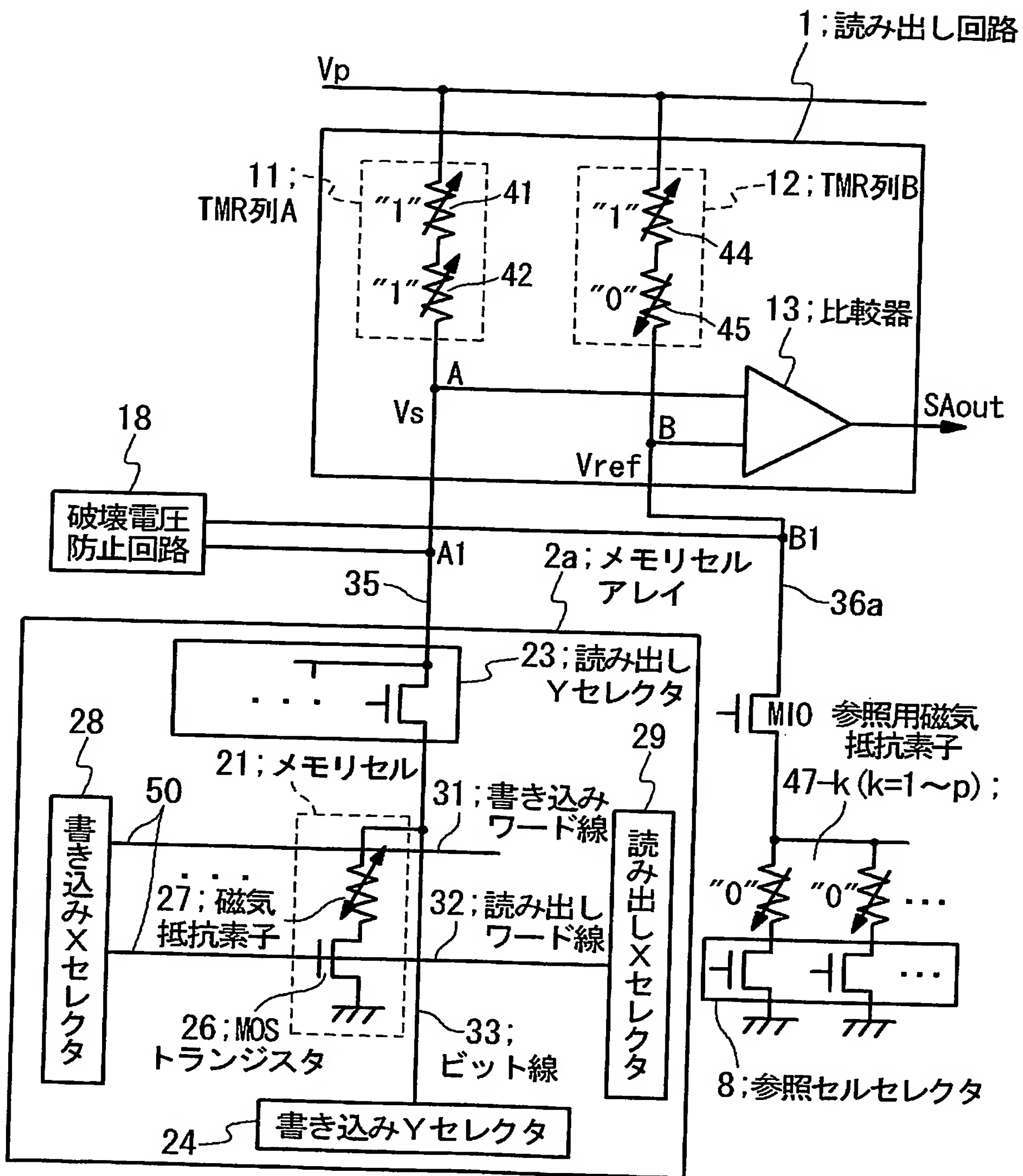
【図 7】



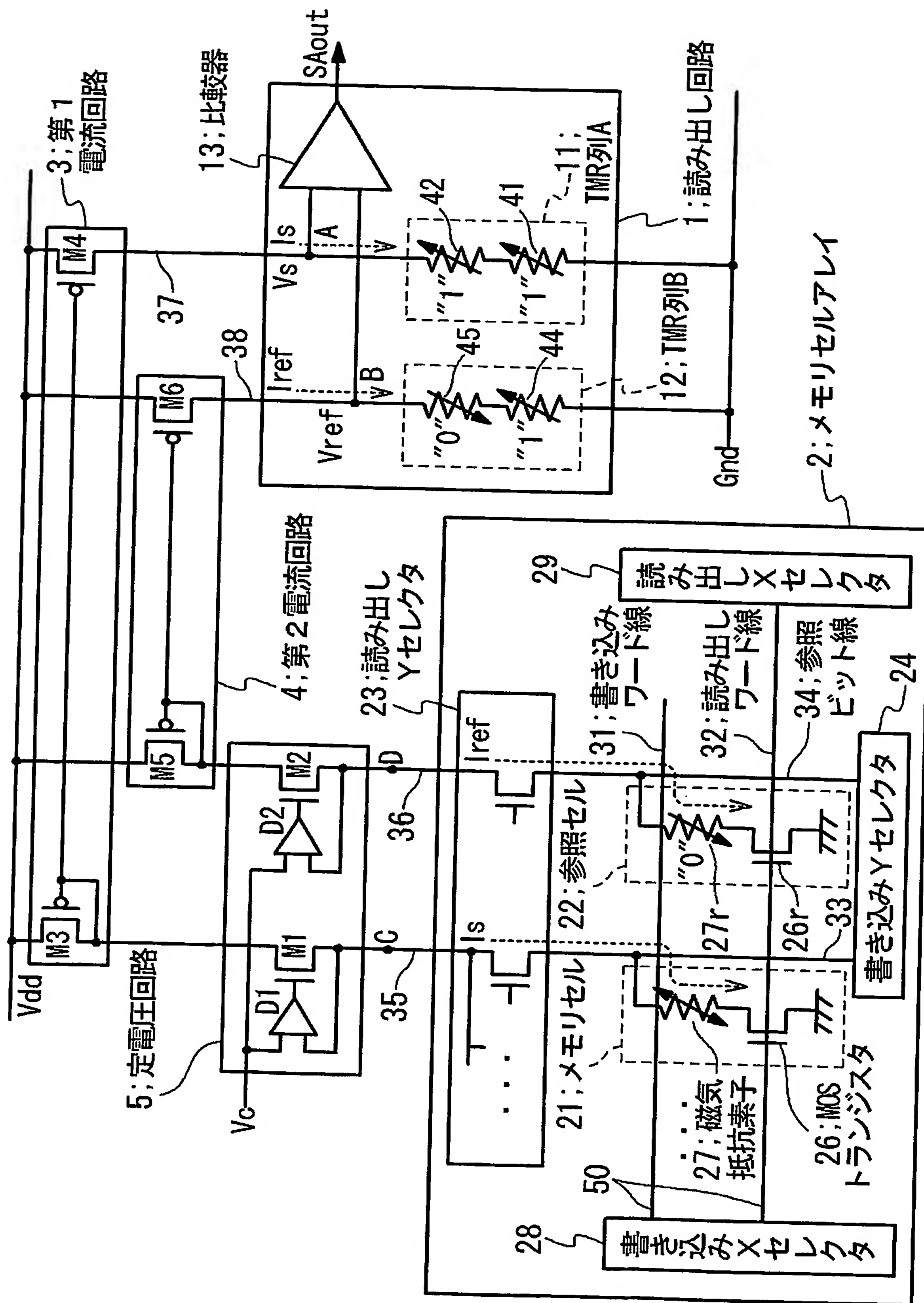
【図 8】



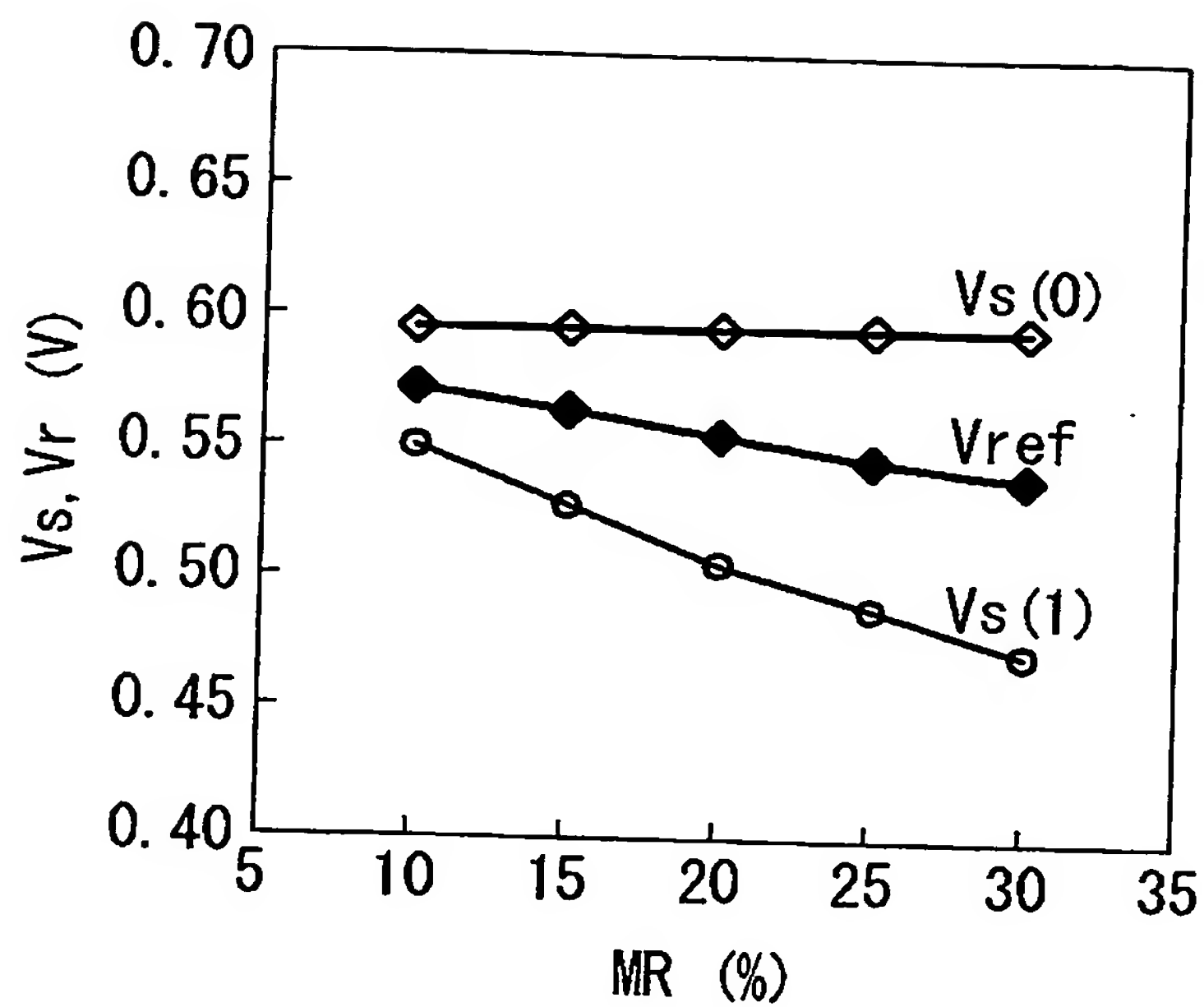
【図9】



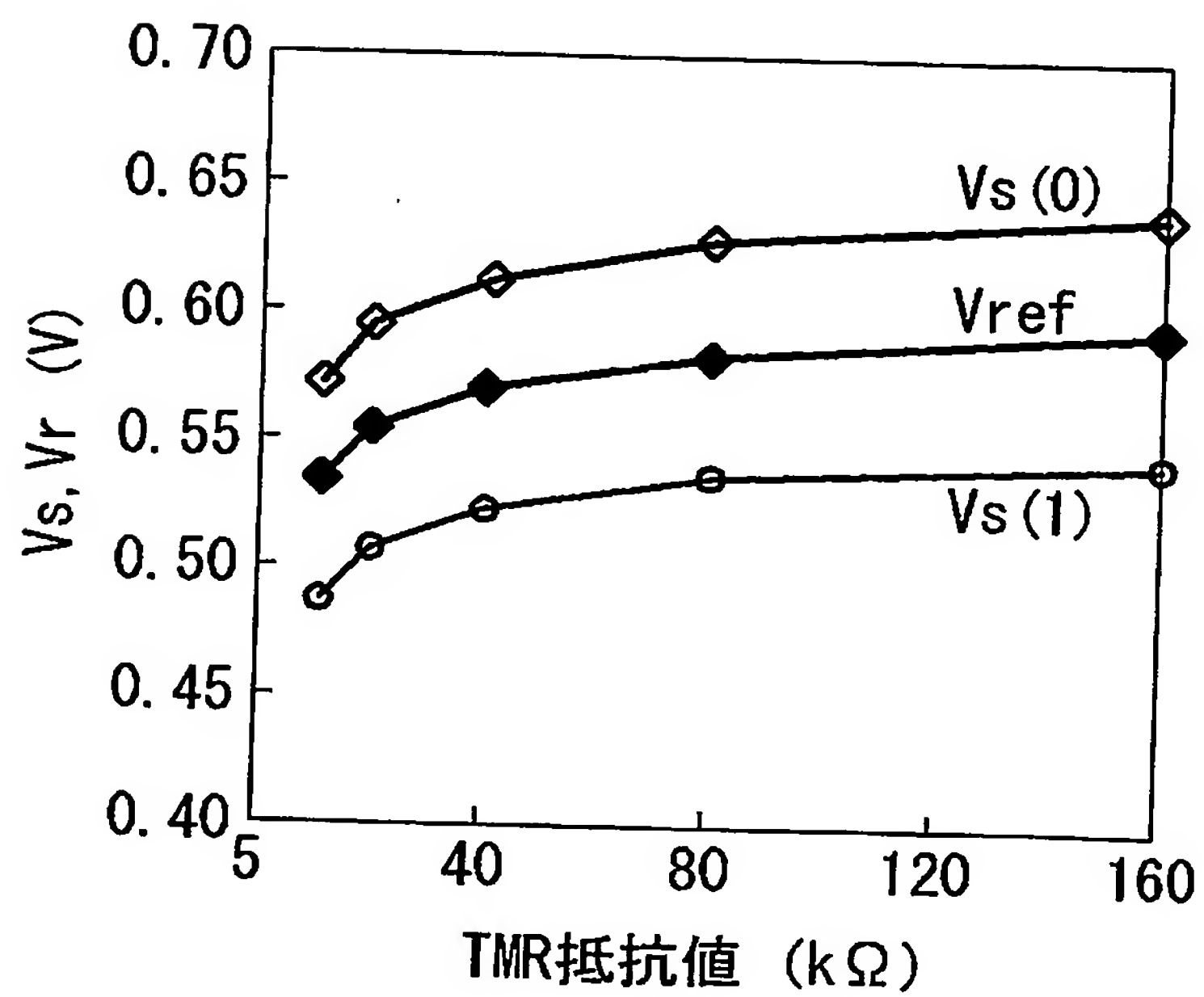
【図10】



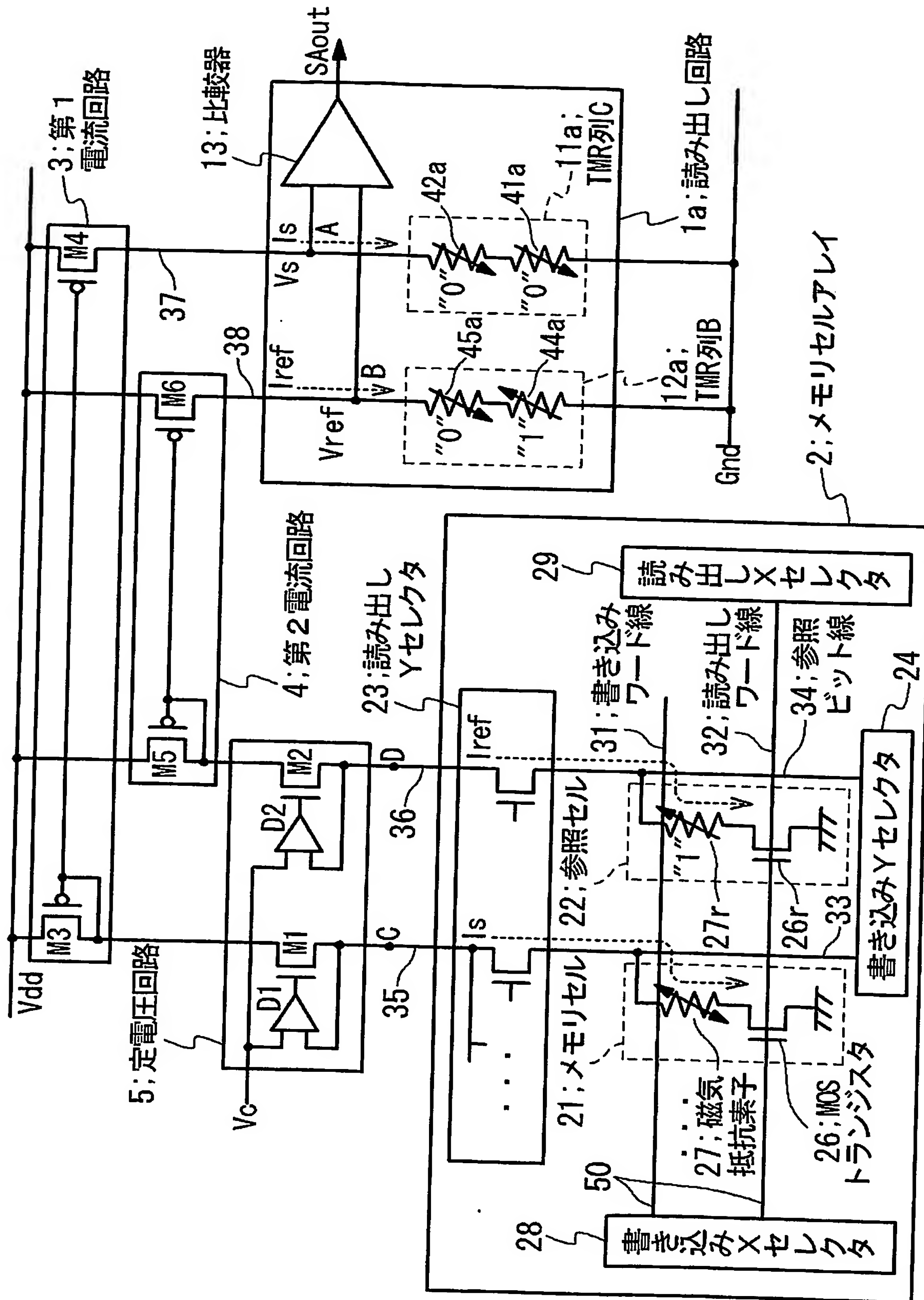
【図 1 1】



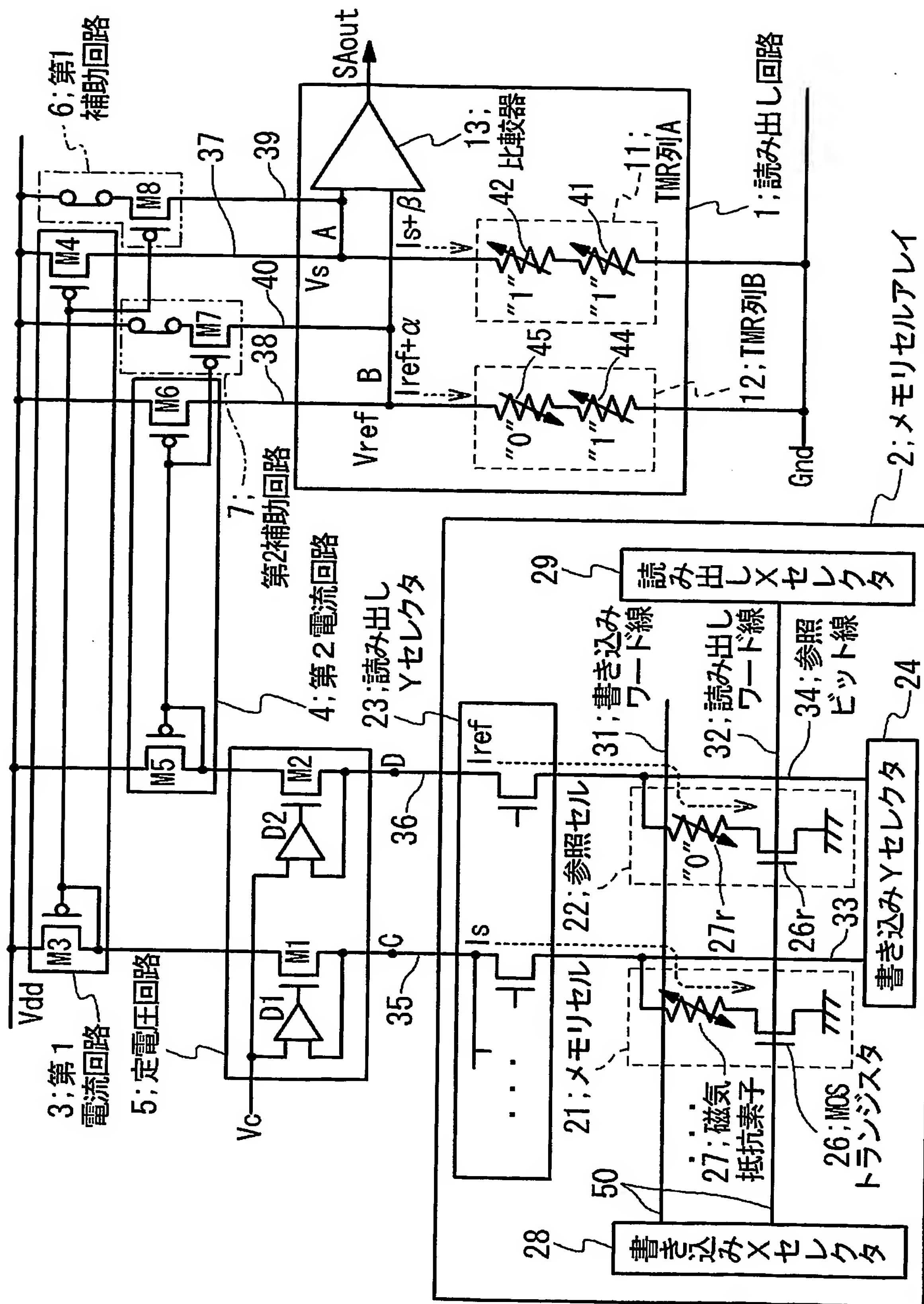
【図 1 2】



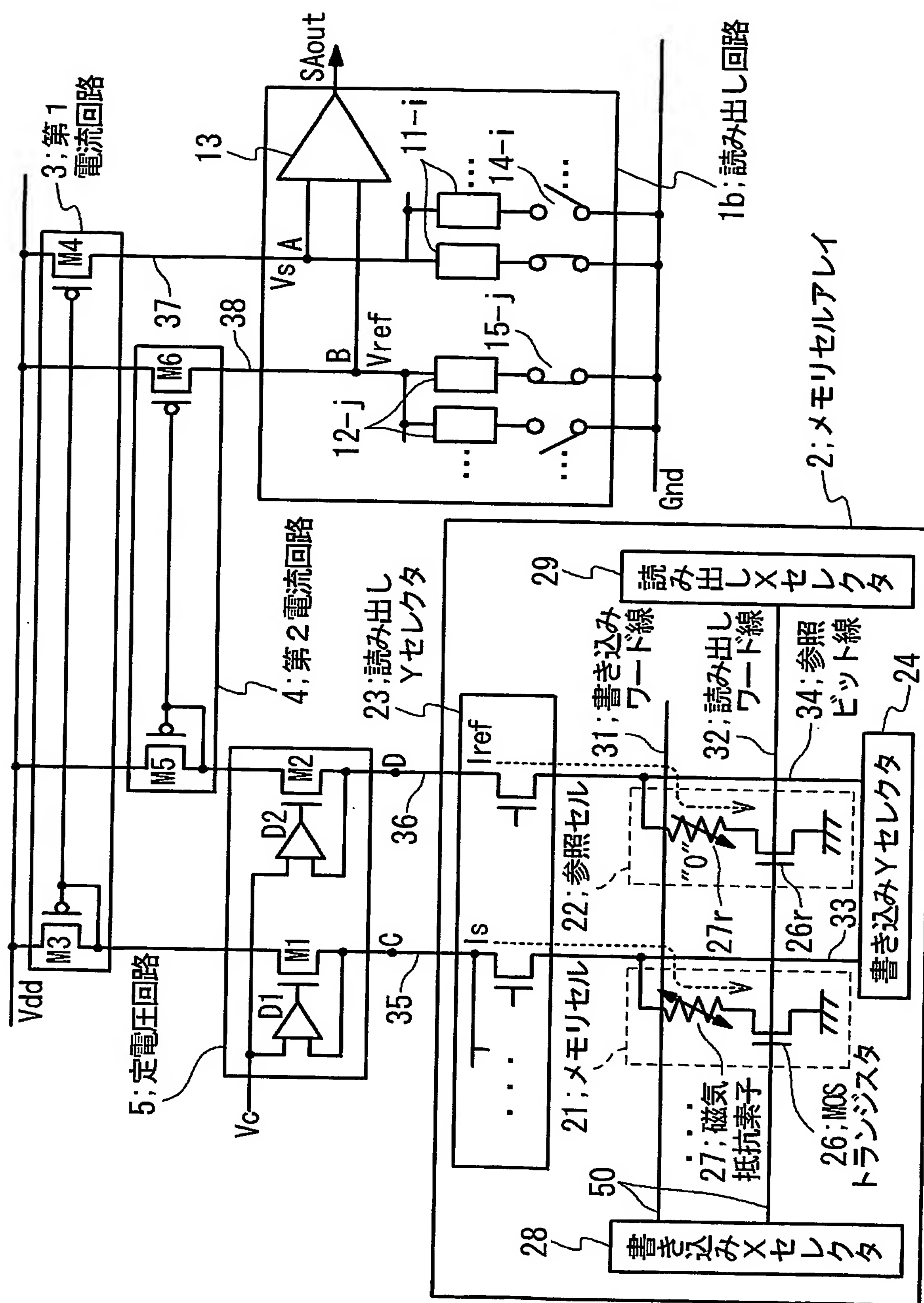
【図13】



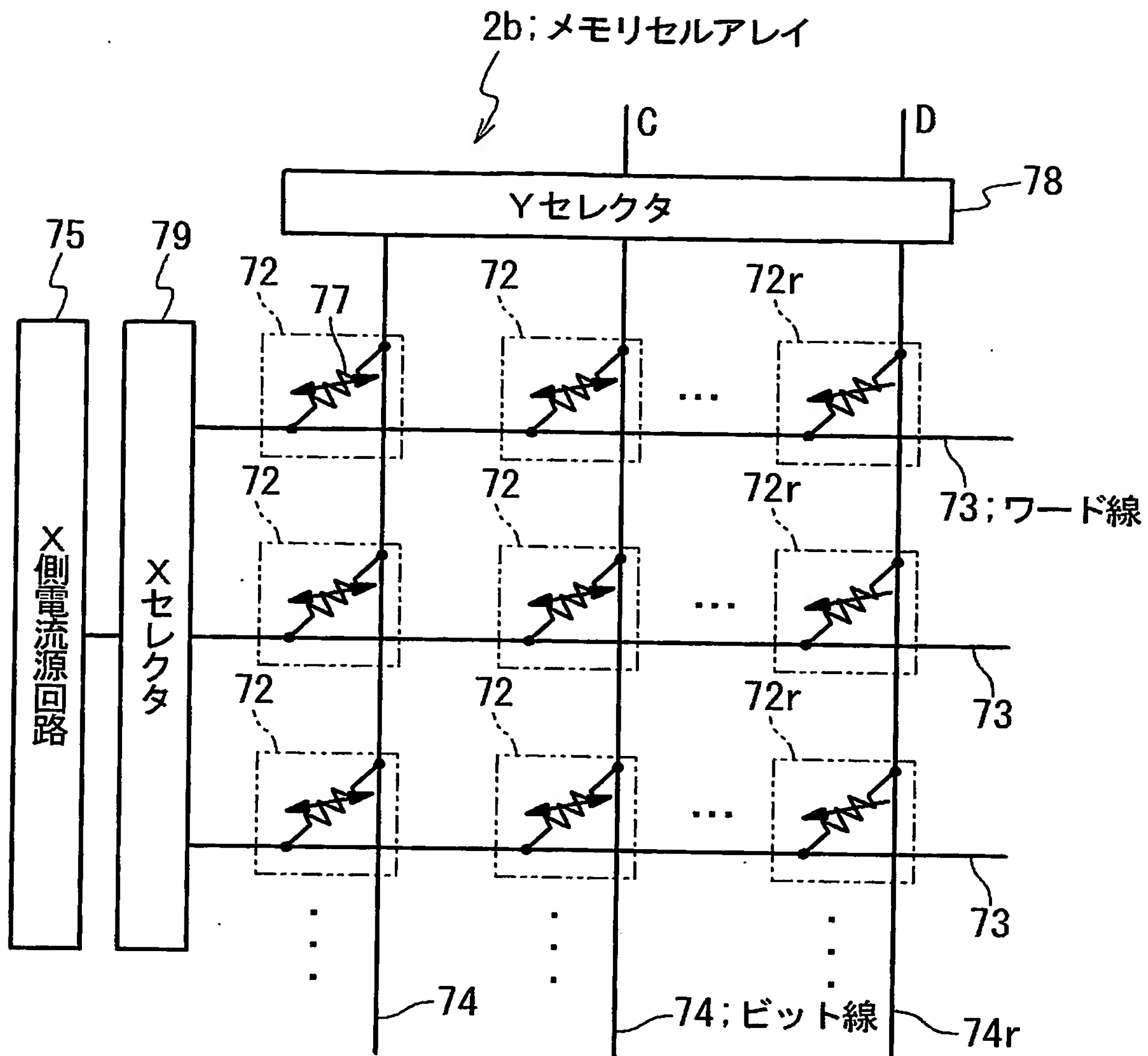
【図 14】



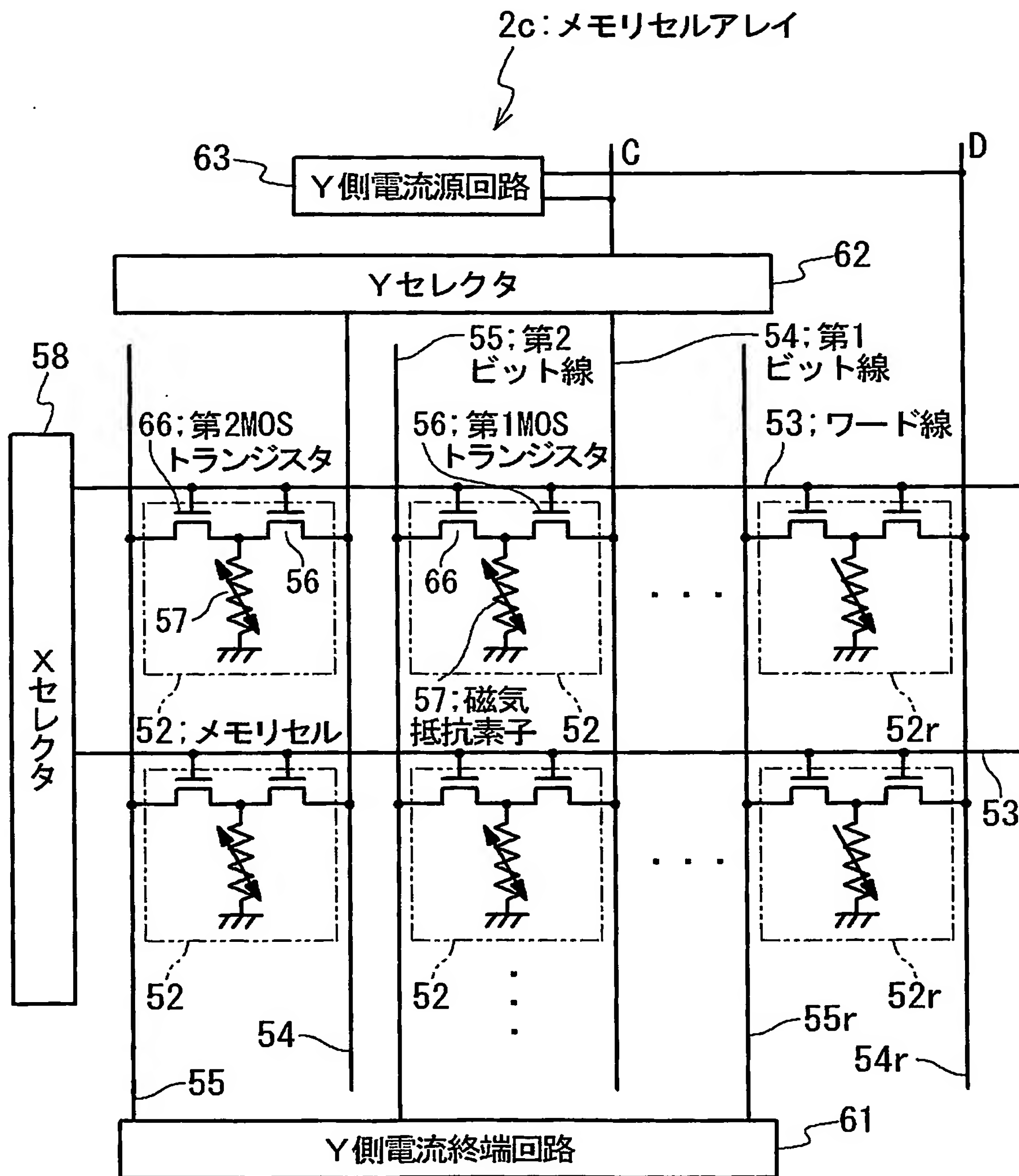
【图 15】



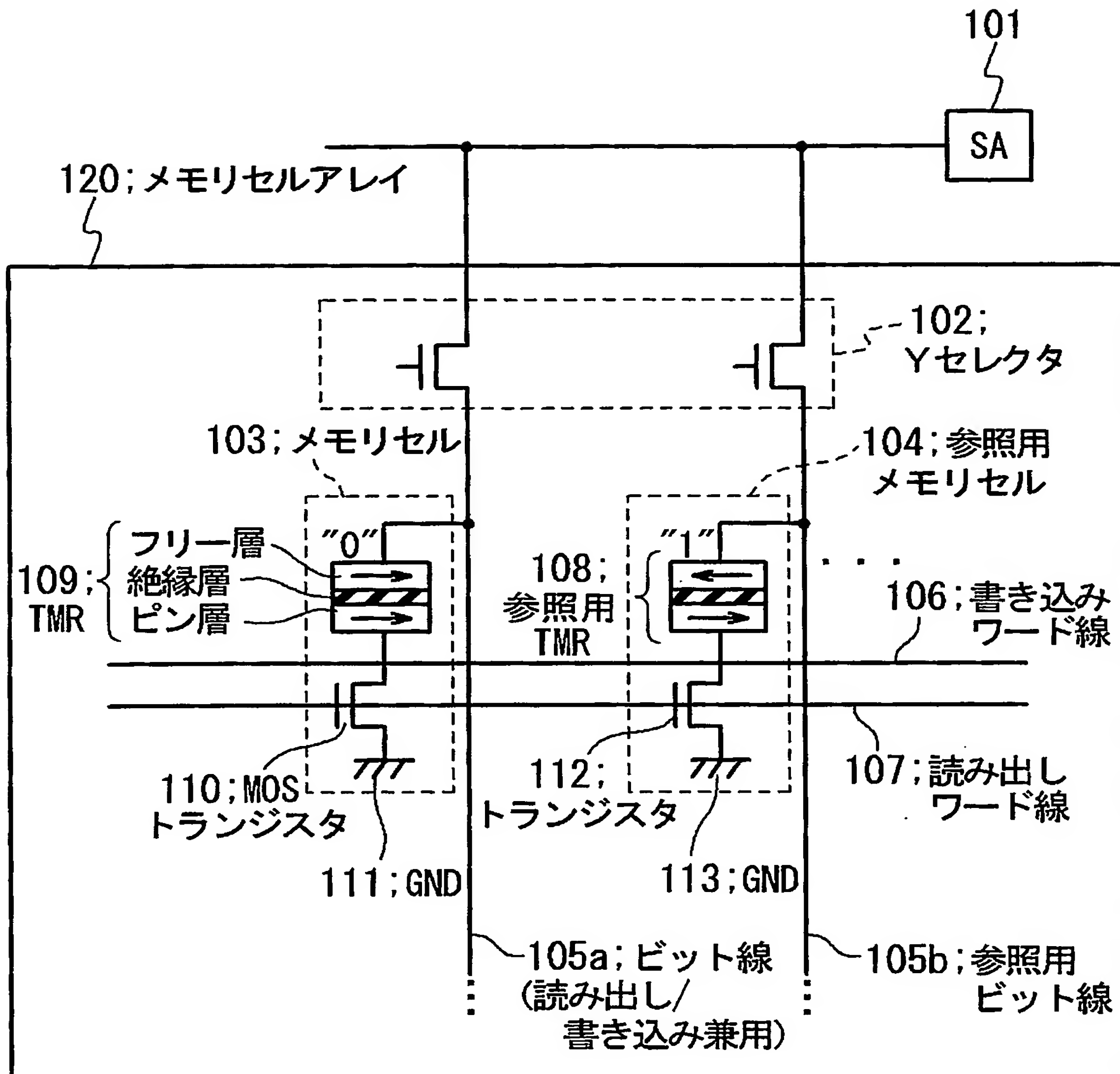
【図 17】



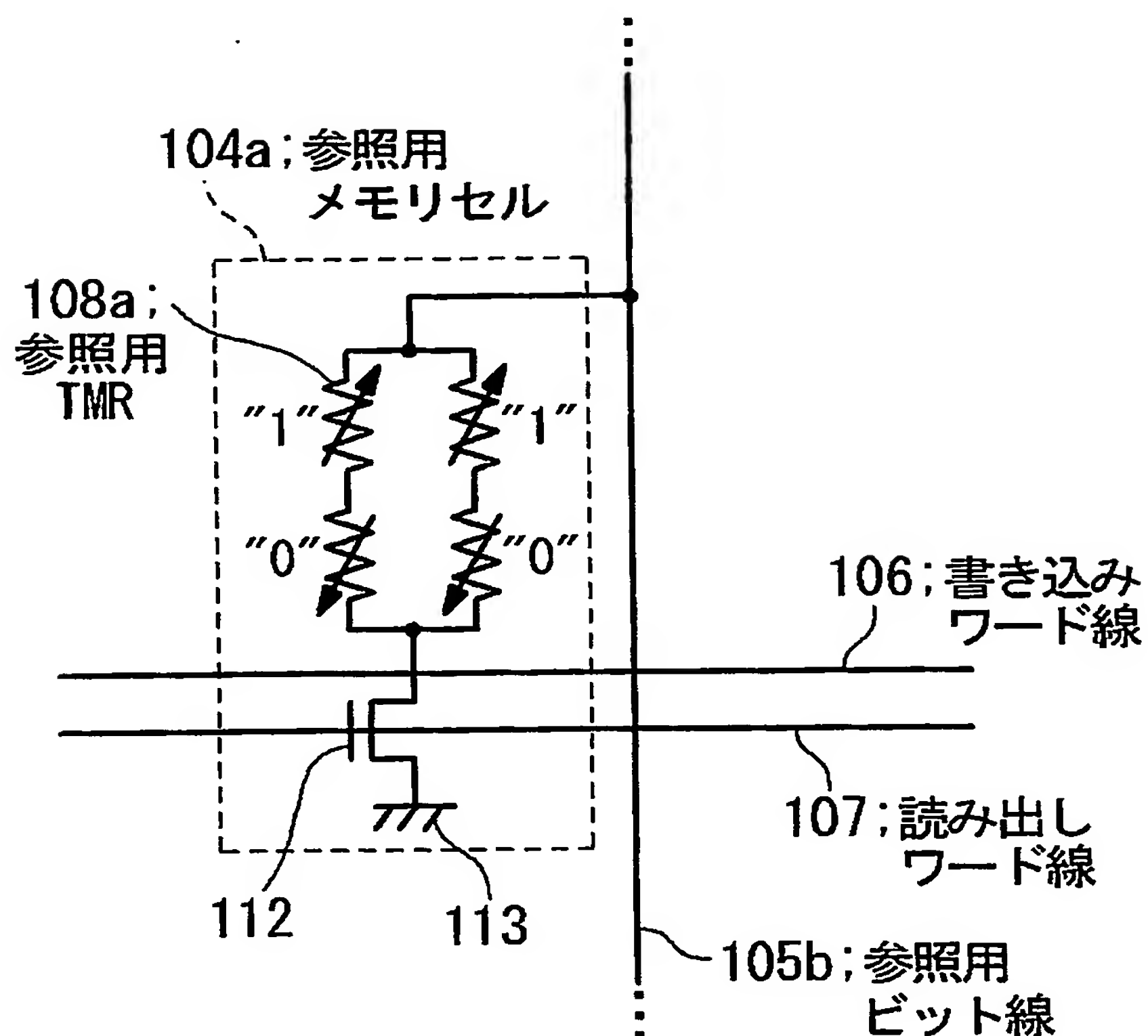
【図 18】



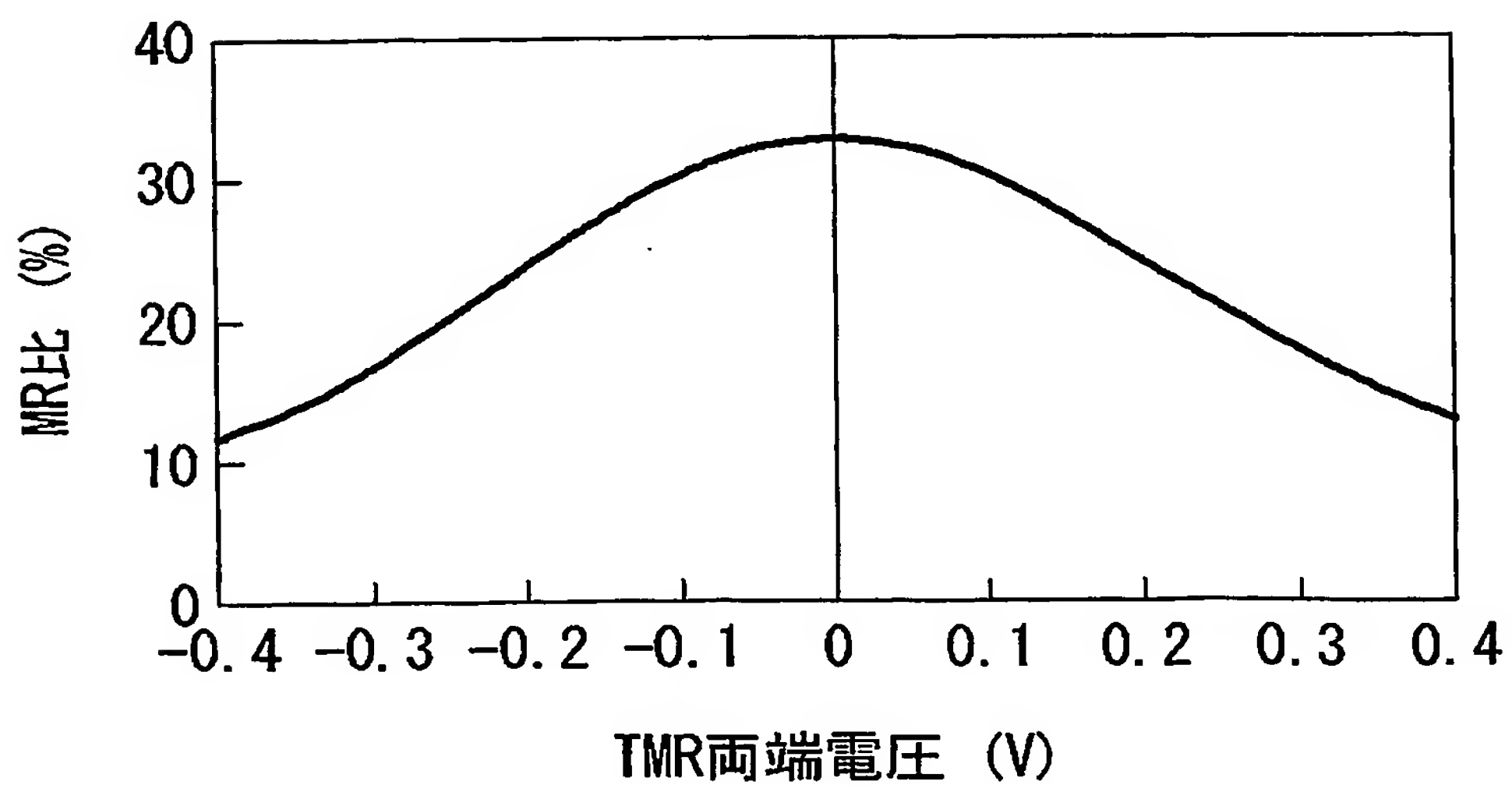
【図19】



【図 20】



【図 21】



【書類名】 要約書

【要約】

【課題】

メモリセルに記憶されているデータを高い信頼性で判別し、読み出すことが可能となるMRAMを提供する。

【解決手段】

複数のビット線33と参照ビット線34と複数のメモリセル21と複数の参照セル22と読み出し部1とを具備するMRAMを用いる。ビット線33と参照ビット線34は、Y方向に延伸する。メモリセル21はビット線33に、参照セル22は参照ビット線34に沿って設ける。メモリセル21及び参照セル22は、それぞれ記憶データで磁化方向が反転する自発磁化を有する磁気抵抗素子27及び参照用磁気抵抗素子27rを備える。読み出し部1は、ビット線33sに接続する第9端子と第1電源に接続した第10端子とを含む第1抵抗部11と、参照ビット線34に接続する第11端子と第1電源に接続した第12端子とを含む第2抵抗部12と、第9端子のセンス電位 V_s と第11端子の参照電位 V_{ref} とを比較する比較部13とを備える。

【選択図】 図1

特願 2 0 0 3 - 1 1 5 2 8 3

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 4 2 3 7]

1. 変更年月日	1 9 9 0 年 8 月 2 9 日
[変更理由]	新規登録
住 所	東京都港区芝五丁目 7 番 1 号
氏 名	日本電気株式会社

This Page is inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ BLACK BORDERS
- ☒ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☒ COLORED OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REPERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images
problems checked, please do not report the
problems to the IFW Image Problem Mailbox**